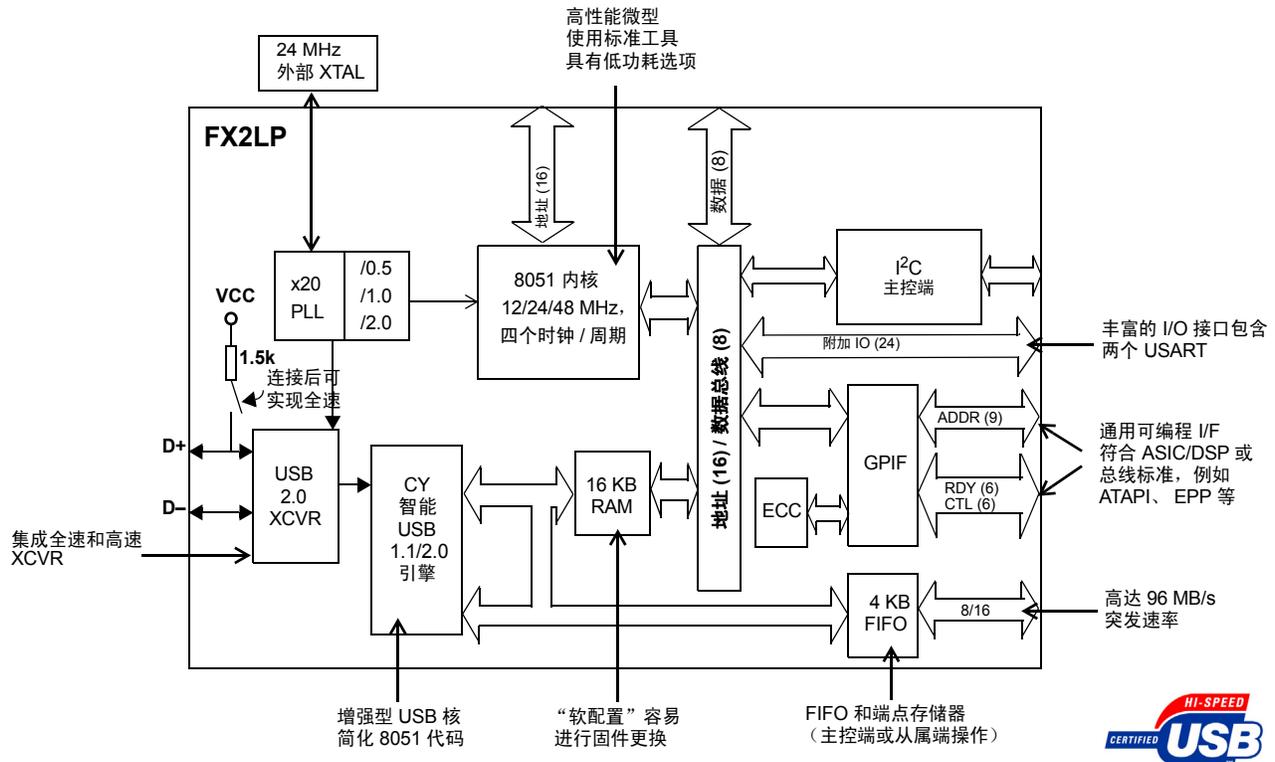


EZ-USB FX2LP (TM) USB 微控制器 高速 USB 外设控制器

1. 特色 (CY7C68013A/14A/15A/16A)

- USB 2.0 USB IF 高性能且经过认证 (TID # 40460272)
- 单芯片集成 USB 2.0 收发器、智能串行接口引擎 (SIE) 和增强型 8051 微处理器
- 适用性、外观和功能均与 FX2 兼容
 - 引脚兼容
 - 目标代码兼容
 - 功能兼容 (FX2LP 是超集)
- 超低功耗: I_{CC} 在任何模式下都不超过 85 mA
 - 适合总线和电池供电的应用
- 软件: 8051 代码运行介质:
 - 内部 RAM, 通过 USB 下载
 - 内部 RAM, 从 EEPROM 加载
 - 外部存储设备 (128 引脚封装)
- 16 K 字节片上代码/数据 RAM
- 四个可编程的 BULK/INTERRUPT/ISOCHRONOUS 端点
 - 缓冲区大小选项: 两倍, 三倍, 四倍
- 附加的可编程 (BULK/INTERRUPT) 64 位端点
- 8 位或 16 位外部数据接口
- 可生成智能介质标准错误校正码 ECC
- 通用可编程接口 (General Programmable Interface, GPIF)
 - 可与大多数并行接口直接连接
 - 由可编程波形描述符和配置寄存器定义波形
 - 支持多个 Ready (RDY) 输入和 Control (CTL) 输出
- 符合行业标准的集成增强型 8051
 - 48 MHz、24 MHz 或 12 MHz CPU 操作
 - 每个指令周期四个时钟
 - 两个 USART
 - 三个计数器/定时器
 - 扩展的中断系统
 - 两个数据指针
- 3.3V 工作电压, 容限输入为 5V
- 向量化 USB 中断和 GPIF/FIFO 中断
- 分离的 CONTROL 传输设置部分和数据部分数据缓冲
- 集成 I²C 控制器, 在 100 或 400 kHz 下运行
- 集成的四个先进先出 (FIFO) 缓冲
 - 集成胶合逻辑和 FIFO 有助于降低系统成本
 - 与 16 位总线之间的自动转换
 - 可主 - 从操作
 - 使用外部时钟或异步选通脉冲
 - 易于与 ASIC 和 DSP IC 相连的接口
- 有商业和工业温度等级供选择 (除 VFBGA 外的所有封装)

逻辑方框图



1.1 特色 (仅限 CY7C68013A/14A)

- CY7C68014A: 适合电池供电应用
 - 挂起电流: 100 μ A (typ)
- CY7C68013A: 适合非电池供电应用
 - 挂起电流: 300 μ A (typ)
- 有五种无铅封装供选择, 可包含多达 40 个 GPIO
 - 128 引脚 TQFP (40 个 GPIO)、100 引脚 TQFP (40 个 GPIO)、56 引脚 QFN (24 个 GPIO)、56 引脚 SSOP (24 个 GPIO) 和 56 引脚 VFBGA (24 个 GPIO)

1.2 特色 (仅限 CY7C68015A/16A)

- CY7C68016A: 适合电池供电应用
 - 挂起电流: 100 μ A (typ)
- CY7C68015A: 适合非电池供电应用
 - 挂起电流: 300 μ A (typ)
- 采用无铅 56 引脚 QFN 封装 (26 个 GPIO)
 - 比 CY7C68013A/14A 多 2 个 GPIO, 可在同样的空间内实现额外的功能

赛普拉斯半导体公司 (赛普拉斯) 的 EZ-USB FX2LP™ (CY7C68013A/14A) 是高集成、低功耗 USB 2.0 微控制器 EZ-USB FX2™ (CY7C68013) 的一个低功耗版本。通过将 USB 2.0 收发器、串行接口引擎 (SIE)、增强型 8051 微控制器, 以及可编程外设接口集成到一个芯片中, 赛普拉斯研发出一个极具成本优势的解决方案, 不仅能在极短时间内完成从立项到投放市场的过程, 而且其低功耗特点使得总线供电应用成为可能。

FX2LP 的创新型体系架构让数据传输速率达到每秒 53 MB 以上, 即可允许的最大 USB 2.0 带宽, 而为此所使用的仍然是放在如 56 VFBGA (5mm x 5mm) 一样小的封装中的低成本 8051 微控制器。由于集成了 USB 2.0 收发器, FX2LP 更为经济, 与使用 USB 2.0 SIE 或外部收发器的情况相比, 可提供占据空间更少的解决方案。借助 EZ-USB FX2LP, 赛普拉斯的智能 SIE 可处理硬件方面的大多数 USB 1.1 和 2.0 协议, 从而减轻了嵌入式微控制器的负担, 使其得以处理应用程序特定的功能, 并缩短开发时间以确保 USB 兼容性。

通用可编程接口 (GPIF) 和主/从端点 FIFO (8 位或 16 位数据总线) 为 ATA、UTOPIA、EPP、PCMCIA 等主流接口和大多数 DSP/处理器提供了简易的无胶合接口。

FX2LP 的耗电量小于 FX2 (CY7C68013), 而片上代码/数据 RAM 是后者的两倍, 并且其适用性、外观和功能均与 56、100 和 128 引脚 FX2 兼容。

此系列包含五种封装: 56VFBGA、56 SSOP、56 QFN、100 TQFP 和 128 TQFP。

2. 应用

- 便携式录像机
- MPEG/TV 转换
- DSL 调制解调器
- ATA 接口
- 存储器卡读取器
- 旧式转换设备
- 照相机
- 扫描仪
- 家用 PNA
- 无线 LAN
- MP3 播放器
- 网络设备

赛普拉斯网站的“Reference Designs”（参考设计）部分为 USB2.0 的典型应用提供了附加工具。每个参考设计都包含固件的源代码和目标代码、原理图以及文档。有关详细信息，请访问[赛普拉斯网站](#)。

3. 功能概述

3.1 USB 信号传输速度

FX2LP 按照 2000 年 4 月 27 日发布的《USB 规范修订版 2.0》中定义的三种速率中的两种运行：

- 全速，信号传输比率为 12 Mbps
- 高速，信号传输比率为 480 Mbps

FX2LP 不支持 1.5 Mbps 的低速信号发射模式。

3.2 8051 微处理器

FX2LP 系列中内嵌的 8051 微处理器具有 256 字节的寄存器 RAM、扩展的中断系统、三个定时器/计数器和两个 USART。

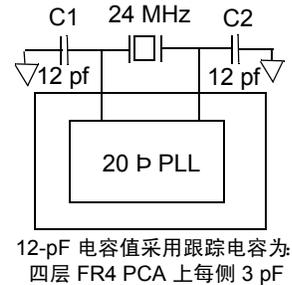
3.2.1 8051 时钟频率

FX2LP 有一个片上振荡器电路，它使用具有以下特性的外部 24 MHz (± 100 ppm) 晶体：

- 并联谐振
- 基础模式
- 500 μ W 驱动级别
- 12-pF（5% 的允许偏差）负载电容

片上 PLL 可根据收发器/PHY 的需要将 24 MHz 振荡器倍频到 480 MHz，而内部计数器可将其分频以用作 8051 时钟。默认的 8051 时钟频率是 12 MHz。8051 的时钟频率可以由 8051 通过 CPUCS 寄存器动态更改。

图 1. 晶体配置



可以使用内部控制位实现三态和反相的 CLKOUT 引脚会按照以下选定的 8051 时钟频率输出占空比为 50% 的 8051 时钟：48 MHz、24 MHz 或 12 MHz。

3.2.2 USART

FX2LP 含有两个标准 8051 USART，它们通过特殊功能寄存器 (SFR) 位来进行寻址。USART 接口引脚可以使用单独 I/O，不与端口引脚进行多路复用。

UART0 和 UART1 可以使用内部时钟以 230 KBaud（误差不超过 1%）的速率运行。以 230 KBaud 的速率运行是通过可在适当时间生成溢出脉冲的内部派生时钟源实现的。内部时钟会根据 8051 时钟速率（48 MHz、24 MHz 和 12 MHz）进行调整，从而使它始终为以 230 KBaud 的速率运行提供正确的频率。^[1]

3.2.3 特殊功能寄存器

在某些 8051 SFR 地址添加了 SFR 以便能快速访问关键的 FX2LP 功能。这些添加的 SFR 如第 4 页的表 1 所示。粗体部分表示非标准的增强型 8051 寄存器。以“0”和“8”结尾的两个 SFR 行中包含可以位寻址的寄存器。A 到 D 四个 IO 端口使用在标准 8051 中用于端口 0 到 3 的 SFR 地址，这些地址在 FX2LP 中未实现。由于 SFR 寻址更快、更有效，因此 FX2LP IO 端口在外部 RAM 空间中不可寻址（使用 MOVX 指令）。

3.3 I²C 总线

FX2LP 仅支持在 100/400 KHz 下将 I²C 总线用作主控端。SCL 和 SDA 引脚具有开漏输出和滞后输入。即使未连接 I²C 设备，这些信号也必须上拉至 3.3V。

3.4 总线

所有封装（8 位或 16 位“FIFO”双向数据总线）均在 IO 端口 B 和 D 上多路复用。128 引脚封装：添加仅 16 位输出 8051 地址总线和 8 位双向数据总线。

注

1. 以 115 KBaud 的速率运行也是可能的，只要分别针对 UART0、UART1 或针对二者将 8051 SMOD0 或 SMOD1 位编程为“1”即可。

表 1. 特殊功能寄存器

| x | 8x | 9x | Ax | Bx | Cx | Dx | Ex | Fx |
|---|-------|-----------|---------------|----------------|--------|-------|-----|-----|
| 0 | IOA | IOB | IOC | IOD | SCON1 | PSW | ACC | B |
| 1 | SP | EXIF | INT2CLR | IOE | SBUF1 | | | |
| 2 | DPL0 | MPAGE | INT4CLR | OEA | | | | |
| 3 | DPH0 | | | OEB | | | | |
| 4 | DPL1 | | | OEC | | | | |
| 5 | DPH1 | | | OED | | | | |
| 6 | DPS | | | OEE | | | | |
| 7 | PCON | | | | | | | |
| 8 | TCON | SCON0 | IE | IP | T2CON | EICON | EIE | EIP |
| 9 | TMOD | SBUF0 | | | | | | |
| A | TL0 | AUTOPTRH1 | EP2468STAT | EP01STAT | RCAP2L | | | |
| B | TL1 | AUTOPTRL1 | EP24FIFOFLGS | GPIFTRIG | RCAP2H | | | |
| C | TH0 | 保留 | EP68FIFOFLGS | | TL2 | | | |
| D | TH1 | AUTOPTRH2 | | GPIFSGLDATH | TH2 | | | |
| E | CKCON | AUTOPTRL2 | | GPIFSGLDATLX | | | | |
| F | | 保留 | AUTOPTRSET-UP | GPIFSGLDATLNOX | | | | |

3.5 USB 引导方法

在加电序列中，内部逻辑会检查 I²C 端口是否连接了第一个字节为 0xC0 或 0xC2 的 EEPROM。如果找到，则会使用 EEPROM 中的 VID/PID/DID 值来代替内部存储的值 (0xC0)，或者在引导时将 EEPROM 内容加载到内部 RAM (0xC2) 中。如果未检测到 EEPROM，FX2LP 会使用内部存储的描述符进行枚举。FX2LP 的默认 ID 值为 VID/PID/DID (0x04B4、0x8613、0xAxxx，其中 xxx = 芯片修订版本)。[2]

表 2. FX2LP 的默认 ID 值

| 默认 VID/PID/DID | | |
|----------------|--------|-------------------------------------------|
| 厂商 ID | 0x04B4 | 赛普拉斯半导体公司 |
| 产品 ID | 0x8613 | EZ-USB FX2LP |
| 设备发行 | 0xAxxx | 取决于芯片修订版本 (xxx = 芯片修订版本，其中第一个硅片 = 001) |

3.6 ReNumeration™

由于 FX2LP 的配置为软配置，因此一个芯片可以被识别成多个不同 USB 设备。

当首次插入 USB 时，FX2LP 会自动进行枚举，并通过 USB 电缆下载固件和 USB 描述符表。接着，FX2LP 会再次进行枚举，但这次的 USB 设备由下载的信息所定义。这种名为 ReNumeration™ 的专利性两步式过程会在插入设备后立即发生，而不提示初始下载步骤已经发生。

USBCS (USB Control 和 Status) 寄存器中有两个控制位对 ReNumeration 过程进行控制，它们是：DISCON 和 RENUM。为了模拟 USB 断开连接，固件会将 DISCON 设为 1。为了重新连接，固件会将 DISCON 清除为 0。

在重新连接前，固件会设置或清除 RENUM 位，以指明是由固件还是由默认的 USB 设备处理通过端点零传输的设备请求：如果 RENUM = 0，则由默认的 USB 设备处理设备请求，如果 RENUM = 1，则由固件处理请求。

3.7 总线供电应用

通过按照 USB 2.0 规范要求的小于 100 mA 进行枚举，FX2LP 完全支持总线供电设计。

3.8 中断系统

3.8.1 INT2 中断请求和使能寄存器

FX2LP 针对 INT2 和 INT4 实现自动向量化功能。有 27 个 INT2 (USB) 向量和 14 个 INT4 (FIFO/GPIF) 向量。有关详细信息，请参见《EZ-USB 技术参考手册》(TRM)。

3.8.2 USB 中断自动向量化

主 USB 中断由 27 个中断源共享。为节省确定独立 USB 中断源所需的编码和处理时间，FX2LP 提供一个辅助级别的中断向量化功能，叫做自动向量化。当触发 USB 中断时，FX2LP 会将程序计数器推到其堆栈中，然后跳转到地址 0x0043，在那里它应该会遇到用于跳转到 USB 中断服务子程序的“Jump”指令。

注

2. I²C 总线 SCL 和 SDA 引脚必须上拉，即使未连接 EEPROM 也是如此。否则，这种检测方法无法正常工作。

FX2LP jump 指令的编码如下所示:

表 3. INT2 USB 中断

| INT2 USB 中断表 | | | |
|--------------|-----------|-----------|------------------------|
| 优先级 | INT2VEC 值 | 源 | 注 |
| 1 | 00 | SUDAV | Setup 数据可用 |
| 2 | 04 | SOF | 帧 (或微型帧) 起始 |
| 3 | 08 | SUTOK | 设置权标已收到 |
| 4 | 0C | SUSPEND | USB 挂起请求 |
| 5 | 10 | USB RESET | 总线复位 |
| 6 | 14 | HISPEED | 已进入高速运行 |
| 7 | 18 | EP0ACK | FX2LP 确认了 CONTROL 握手 |
| 8 | 1C | | 保留 |
| 9 | 20 | EP0-IN | EP0-IN 已做好加载数据的准备 |
| 10 | 24 | EP0-OUT | EP0-OUT 有 USB 数据 |
| 11 | 28 | EP1-IN | EP1-IN 已做好加载数据的准备 |
| 12 | 2C | EP1-OUT | EP1-OUT 有 USB 数据 |
| 13 | 30 | EP2 | IN: 缓冲区可用。OUT: 缓冲区有数据 |
| 14 | 34 | EP4 | IN: 缓冲区可用。OUT: 缓冲区有数据 |
| 15 | 38 | EP6 | IN: 缓冲区可用。OUT: 缓冲区有数据 |
| 16 | 3C | EP8 | IN: 缓冲区可用。OUT: 缓冲区有数据 |
| 17 | 40 | IBN | IN-Bulk-NAK (任意 IN 端点) |
| 18 | 44 | | 保留 |
| 19 | 48 | EP0PING | EP0 OUT 已被 Ping 过而且被否认 |
| 20 | 4C | EP1PING | EP1 OUT 已被 Ping 过而且被否认 |
| 21 | 50 | EP2PING | EP2 OUT 已被 Ping 过而且被否认 |
| 22 | 54 | EP4PING | EP4 OUT 已被 Ping 过而且被否认 |
| 23 | 58 | EP6PING | EP6 OUT 已被 Ping 过而且被否认 |
| 24 | 5C | EP8PING | EP8 OUT 已被 Ping 过而且被否认 |
| 25 | 60 | ERRLIMIT | 总线错误超过了程序设定的限制值 |
| 26 | 64 | | |
| 27 | 68 | | 保留 |
| 28 | 6C | | 保留 |
| 29 | 70 | EP2ISOERR | ISO EP2 OUT PID 序列错误 |
| 30 | 74 | EP4ISOERR | ISO EP4 OUT PID 序列错误 |
| 31 | 78 | EP6ISOERR | ISO EP6 OUT PID 序列错误 |
| 32 | 7C | EP8ISOERR | ISO EP8 OUT PID 序列错误 |

如果使能了自动向量化 (在 INTSET-UP 寄存器中 AV2EN = 1), 则 FX2LP 会替换其 INT2VEC 字节。因此, 如果在位置 0x0044 预加载了跳转表地址的高字节 (“page”), 则在 0x0045 自动插入的 INT2VEC 字节将跳转至该页面内 27 个地址以外的正确地址。

3.8.3 FIFO/GPIF 中断 (INT4)

正如 USB 中断由 27 个独立的 USB 中断源共享一样, FIFO/GPIF 中断由 14 个独立的 FIFO/GPIF 源共享。FIFO/GPIF 中断和 USB 中断一样, 可以利用自动向量化。表 4 显示了 14 个 FIFO/GPIF 中断源的优先级和 INT4VEC 值。

表 4. 独立 FIFO/GPIF 中断源

| 优先级 | INT4VEC 值 | 源 | 注 |
|-----|-----------|----------|------------|
| 1 | 80 | EP2PF | 端点 2 可编程标志 |
| 2 | 84 | EP4PF | 端点 4 可编程标志 |
| 3 | 88 | EP6PF | 端点 6 可编程标志 |
| 4 | 8C | EP8PF | 端点 8 可编程标志 |
| 5 | 90 | EP2EF | 端点 2 空标志 |
| 6 | 94 | EP4EF | 端点 4 空标志 |
| 7 | 98 | EP6EF | 端点 6 空标志 |
| 8 | 9C | EP8EF | 端点 8 空标志 |
| 9 | A0 | EP2FF | 端点 2 满标志 |
| 10 | A4 | EP4FF | 端点 4 满标志 |
| 11 | A8 | EP6FF | 端点 6 满标志 |
| 12 | AC | EP8FF | 端点 8 满标志 |
| 13 | B0 | GPIFDONE | GPIF 运行完成 |
| 14 | B4 | GPIFWF | GPIF 波形 |

如果使能了自动向量化（在 INTSET-UP 寄存器中设置 AV4EN = 1），则 FX 2LP 会替换其 INT4VEC 字节。因此，如果在位置 0x0054 预加载了跳转表地址的高字节 (“page”)，则在 0x0055 自动插入的 INT4VEC 字节将跳转至该页面内 14 个地址以外的正确地址。当发生 ISR 时，FX2LP 会将程序计数器推入其堆栈中，然后跳转到地址 0x0053，在那里它应该会找到用于跳转到 ISR 中断服务子程序的 “Jump” 指令。

3.9 复位和唤醒

3.9.1 复位引脚

输入引脚 RESET# 会在触发时复位 FX2LP。该引脚有滞后，而且为低电平有效。当对 CY7C680xxA 使用晶体时，复位的时间

必须足以让晶体和 PLL 达到稳定状态。该复位时间必须是在 VCC 达到 3.0V 后大约 5 ms。如果晶体输入引脚由时钟信号驱动，则内部 PLL 会在 VCC 达到 3.0V 后的 200 μs 内稳定。^[3]

第 7 页的图 2 显示了加电时复位条件以及运行期间应用的复位。加电时复位是指在对电路加电时触发的时间复位。加电后复位表示在 FX2LP 已加电运行并且 RESET# 引脚被触发。

赛普拉斯将提供有关加电时复位实现介绍和建议的应用手册。有关 FX2 系列产品的复位实现的详细信息，请访问 <http://www.cypress.com>。

注

3. 如果外部时钟和 CY7C680xxA 同时加电，而且需要等待一段时间才能稳定，则它必须增加到 200 μs。

图 2. 复位时序图

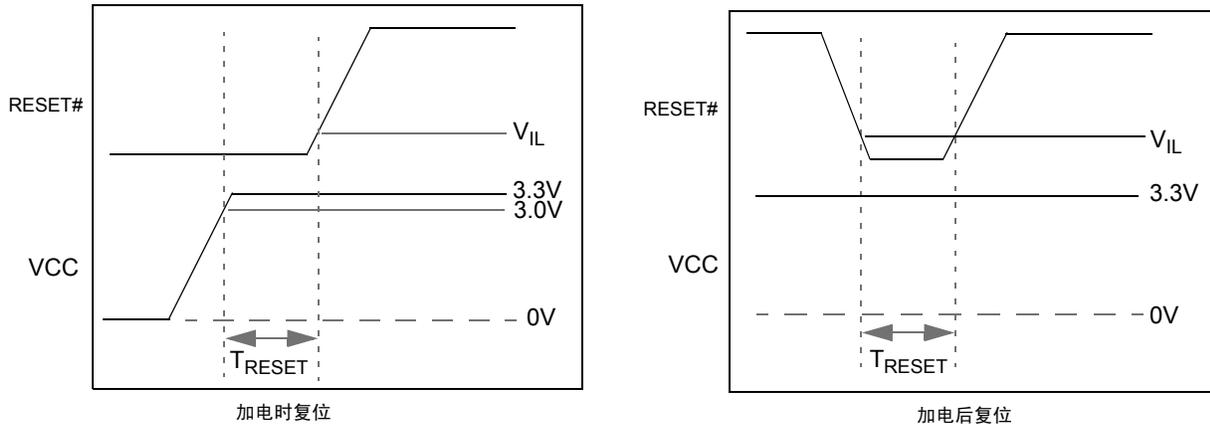


表 5. 复位时序值

| 条件 | T_{RESET} |
|--------------|----------------------|
| 使用晶体的加电时复位 | 5 ms |
| 使用外部时钟的加电时复位 | 200 μ s + 时钟稳定时间 |
| 加电后复位 | 200 μ s |

3.9.2 唤醒引脚

通过设置 PCON.0 = 1, 8051 将自身和芯片的其余部分置入断电模式。这会停止振荡器和 PLL。当外部逻辑触发 WAKEUP 时, 振荡器会在 PLL 稳定后重新启动, 并且 8051 会收到唤醒中断。无论 FX2LP 是否与 USB 连接, 都会发生这种情况。

FX2LP 使用下列方法之一退出断电 (USB 挂起) 状态:

- USB 总线活动 (如果 D+ / D- 线保持浮空, 则这些线上的杂音可能向 FX2LP 表明活动并启动唤醒)
- 外部逻辑触发 WAKEUP 引脚
- 外部逻辑触发 PA3/WU2 引脚

第二个唤醒引脚 WU2 也可以配置为通用 IO 引脚。这可以将一个简单的外部 R-C 网络用作定时唤醒源。在默认情况下, WAKEUP 为低电平有效。

3.10 程序/数据 RAM

3.10.1 大小

FX2LP 具有 16 KB 的内部程序/数据 RAM, 其中 PSEN#/RD# 信号被内部 OR 操作, 从而使 8051 能够将其兼用作程序存储器和数据存储器进行访问。在此空间中没有任何 USB 控制寄存器。

以下图表为两种存储器分配图:

第 8 页的图 3 显示内部程序存储器, EA = 0。

第 9 页的图 4 显示外部程序存储器, EA = 1。

3.10.2 内部程序存储器, EA = 0

该模式将内部 16 KB RAM 存储块 (从 0 开始) 用作组合的程序和数据存储器。当添加外部 RAM 或 ROM 时, 会抑制外部读写选通脉冲, 以获得芯片内的存储器空间。这可以让用户连接 64 KB 的存储器, 而无需执行地址解码来保持内部存储器空间可用。

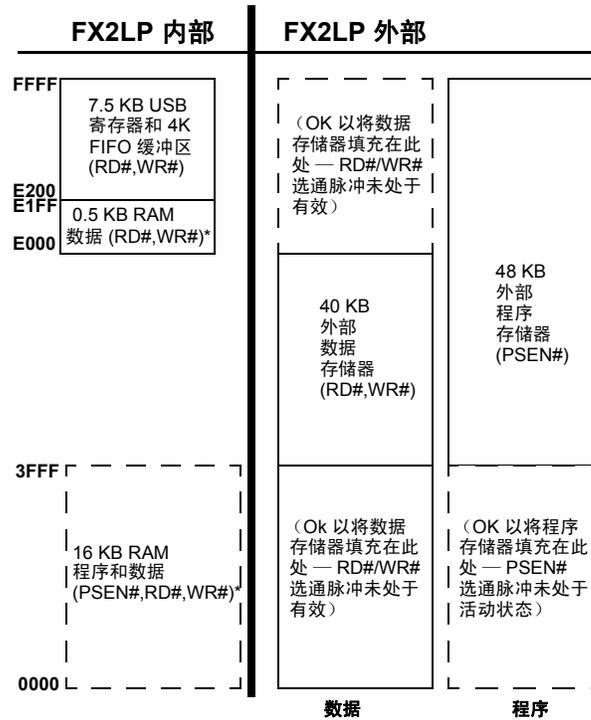
只有内部 16 KB 和 便笺式 0.5 KB RAM 空间具有以下访问权限:

- USB 下载
- USB 上载
- Setup 数据指针
- I²C 接口引导下载。

3.10.3 外部程序存储器, EA = 1

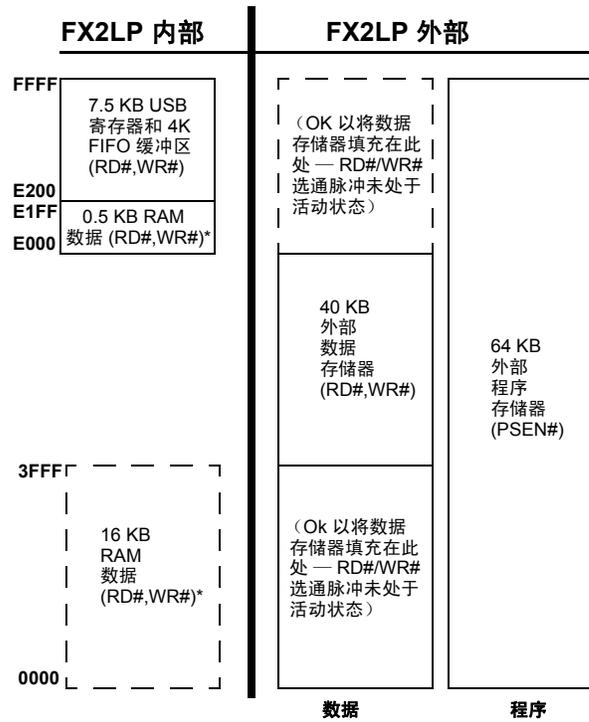
程序存储器末端的 16 KB 是外部的, 因此内部 RAM 末端的 16 KB 只能用作数据存储器。

图 3. 内部程序存储器, EA = 0



*SUDPTR、USB 上载 / 下载、I²C 接口引导访问

图 4. 外部程序存储器, EA = 1



*SUDPTR、USB 上载 / 下载、I²C 接口引导访问

3.11 寄存器地址

| | |
|------|----------------------------|
| FFFF | 4 KB EP2-EP8 缓冲区 (8 x 512) |
| F000 | 2 KB 保留 |
| EFFF | |
| E800 | 64 字节 EP1IN |
| E7FF | |
| E7C0 | 64 字节 EP1OUT |
| E7BF | |
| E780 | 64 字节 EP0 IN/OUT |
| E77F | |
| E740 | 64 字节保留 |
| E73F | |
| E700 | 8051 可寻址寄存器 (512) |
| E6FF | |
| E500 | 保留 (128) |
| E4FF | |
| E480 | 128 字节 GPIF 波形 |
| E47F | |
| E400 | 保留 (512) |
| E3FF | |
| E200 | 512 字节 8051 xdata RAM |
| E1FF | |
| E000 | |

3.12 端点 RAM

3.12.1 大小

- 3 × 64 字节 (端点 0 和 1)
- 8 × 512 字节 (端点 2、4、6 和 8)

3.12.2 组织

- EP0
- 双向端点 0, 64 字节缓冲区
- EP1IN, EP1OUT
- 64 字节缓冲区, 批量或中断
- EP2、4、6、8
- 8 个 512 字节缓冲区, 批量、中断或同步。EP4 和 EP8 可以是双缓冲; EP2 和 EP6 可以是双缓冲、三缓冲或四缓冲。有关高速端点配置选项, 请参见图 5。

3.12.3 Setup 数据缓冲区

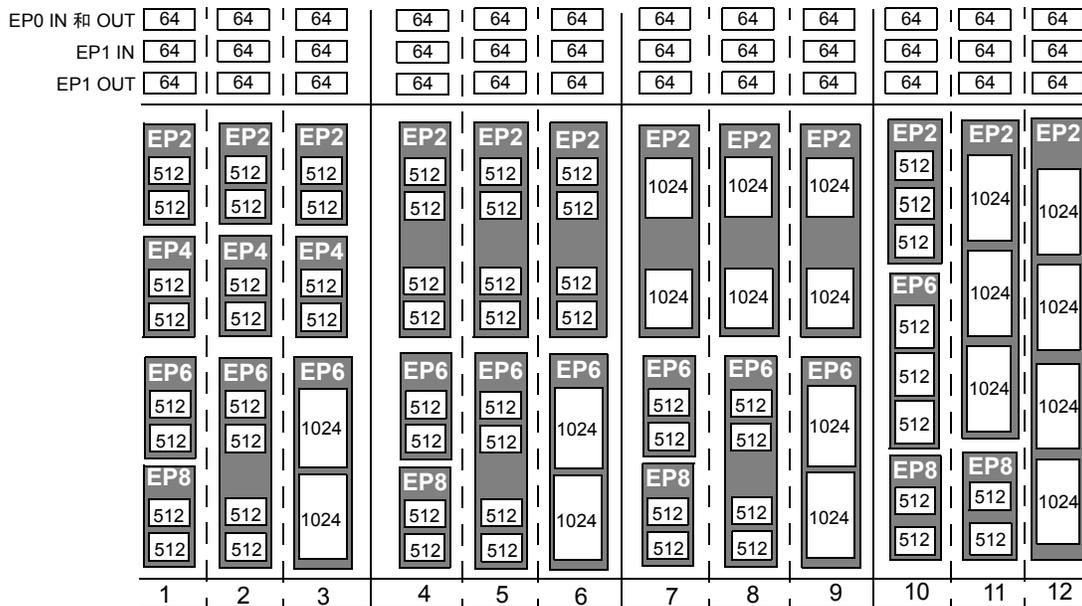
位于 0xE6B8-0xE6BF 的独立的 8 字节缓冲区保存来自 CONTROL 传输的 setup 数据。

3.12.4 端点配置 (高速模式)

端点 0 和 1 对于每个配置都是相同的。端点 0 是唯一的 CONTROL 端点, 端点 1 可以是 BULK 或 INTERRUPT。

端点缓冲区可以按以下垂直列中显示的 12 种配置中的任何一种进行配置。在全速 BULK 模式下运行时, 仅会使用每个缓冲区的前 64 个字节。例如, 在高速模式下, 最大数据包大小为 512 字节, 而在全速模式下, 该大小为 64 字节。即使缓冲区配置为 512 字节, 在全速模式下, 仍然仅会使用前 64 个字节。未使用的端点缓冲区空间不可用于其他操作。端点配置示例包括 EP2-1024 双缓冲; EP6-512 四缓冲 (第 8 列)。

图 5. 端点配置



3.12.5 默认的全速备选设置

表 6. 默认的全速备选设置^[4, 5]

| 备选设置 | 0 | 1 | 2 | 3 |
|--------|----|------------------|------------------|------------------|
| ep0 | 64 | 64 | 64 | 64 |
| ep1out | 0 | 64 bulk | 64 int | 64 int |
| ep1in | 0 | 64 bulk | 64 int | 64 int |
| ep2 | 0 | 64 bulk out (2×) | 64 int out (2×) | 64 iso out (2×) |
| ep4 | 0 | 64 bulk out (2×) | 64 bulk out (2×) | 64 bulk out (2×) |
| ep6 | 0 | 64 bulk in (2×) | 64 int in (2×) | 64 iso in (2×) |
| ep8 | 0 | 64 bulk in (2×) | 64 bulk in (2×) | 64 bulk in (2×) |

3.12.6 默认的高速备选设置

表 7. 默认的高速备选设置^[4, 5]

| 备选设置 | 0 | 1 | 2 | 3 |
|--------|----|-------------------------|-------------------|-------------------|
| ep0 | 64 | 64 | 64 | 64 |
| ep1out | 0 | 512 bulk ^[6] | 64 int | 64 int |
| ep1in | 0 | 512 bulk ^[6] | 64 int | 64 int |
| ep2 | 0 | 512 bulk out (2×) | 512 int out (2×) | 512 iso out (2×) |
| ep4 | 0 | 512 bulk out (2×) | 512 bulk out (2×) | 512 bulk out (2×) |
| ep6 | 0 | 512 bulk in (2×) | 512 int in (2×) | 512 iso in (2×) |
| ep8 | 0 | 512 bulk in (2×) | 512 bulk in (2×) | 512 bulk in (2×) |

3.13 外部 FIFO 接口

3.13.1 体系架构

FX2LP Slave FIFO 体系架构中，在端点 RAM 中有 8 个 512 字节存储块，它们直接充当 FIFO 存储器，并由 FIFO 控制信号（如 IFCLK、SLCS#、SLRD、SLWR、SLOE、PKTEND 和标志）所控制。

在运行中，SIE 会填充或清空这 8 个 RAM 存储块中一部分，其余部分则与 IO 传输逻辑连接。传输逻辑采取了两种形式，GPIF 用于内部生成的控制信号，Slave FIFO 接口用于外部控制的传输。

3.13.2 主/从控制信号

FX2LP 端点 FIFOS 是作为 8 个物理上完全不同的 256x16 RAM 存储块而实现的。8051/SIE 可以在两个域（USB (SIE) 域和 8051-IO Unit 域）之间对这些 RAM 存储块进行任意切换。这种切换实际上是瞬时完成的，“USB FIFOS”和“Slave FIFOS”之间的传输时间基本上等于零。由于它们在物理上是同一个存储器，所以实际上没有字节在缓冲区之间传输。

在任意给定时刻，某些 RAM 存储块会在 SIE 控制下填充/清空 USB 数据，而其他 RAM 存储块可用于 8051、IO 控制单元或二者。RAM 存储块在 USB 域中作为单端口运行，而在 8051-IO 域

中则作为双端口运行。这些存储块可以像前面所说的那样，配置为单、双、三或四缓冲。

IO 控制单元实现内部主控端（M 表示主控端）或外部主控端（S 表示从属端）接口。

在主控 (M) 模式下，GPIF 在内部控制 FIFOADR[1..0] 以选择 FIFO。RDY 引脚（56 引脚封装中有两个，100 引脚和 128 引脚封装中有六个）可以根据需要用作外部 FIFO 或其他逻辑的标志输入端。GPIF 可以根据内部派生的时钟或外部提供的时钟 (IFCLK) 运行，传输速率可达 96 MB/s（48-MHz IFCLK，16 位接口）。

在从属 (S) 模式下，FX2LP 接受内部派生的时钟或外部提供的时钟 (IFCLK，最大频率 48 MHz)，以及外部逻辑发来的 SLCS#、SLRD、SLWR、SLOE、PKTEND 信号。当使用外部 IFCLK 时，外部时钟必须在通过 IFCLKSRC 位切换到外部时钟前已产生。每个端点都可以单独被内部配置位选择用于字节或字运行，Slave FIFO 输出使能信号 SLOE 会使能选定宽度的数据。外部逻辑必须确保在向 Slave FIFO 写入数据时输出使能信号处于非活动状态。从属接口还可以以异步方式运行，这时 SLRD 和 SLWR 信号直接充当选通脉冲，而不是像同步模式下那样作为时钟限定符。信号 SLRD、SLWR、SLOE 和 PKTEND 由信号 SLCS# 选择传送。

注

- “0”表示“未实施”。
- “2×”表示“双缓冲”。
- 即使这些缓冲区是 64 字节，它们也会被报告为 512，以便与 USB 2.0 兼容。用户永远不得向 EP1 传输大于 64 字节的数据包。

3.13.3 GPIF 和 FIFO 时钟速率

8051 寄存器位选择内部提供的接口时钟的两个频率中的一个：30 MHz 和 48 MHz。或者，为 IFCLK 引脚提供输入的 5 MHz–48 MHz 外部提供时钟也可以用作接口时钟。在 GPIF 和 FIFO 由内部提供时钟时，IFCLK 可配置为输出时钟。IFCONFIG 寄存器中的输出使能位会在需要时关闭该时钟输出。无论 IFCLK 信号是来源于内部还是外部，IFCONFIG 寄存器中的另一个位都会将其反相。

3.14 GPIF

GPIF 是一个灵活的 8 位或 16 位并行接口，由用户可编程的有限状态机驱动。它能让 CY7C68013A/15A 执行本地总线主控，而且可以实现众多协议，如 ATA 接口、打印机并行端口和 Utopia。

GPIF 有六个可编程 Control 输出 (CTL)、九个 Address 输出 (GPIFADR_x) 和六个通用 Ready 输入 (RDY)。数据总线宽度可以是 8 或 16 位。每个 GPIF 向量均定义 Control 输出的状态，并确定 Ready 输入（或多个输入）必须处于什么状态才能继续。可以对 GPIF 向量进行编程，从而将 FIFO 前移至下一个数据值、前移一个地址，等等。一系列 GPIF 向量组成一个波形，执行这个波形便可以在 FX2LP 与外部设备之间进行所需的数据移动。

3.14.1 六个 Control 输出信号

100 引脚和 128 引脚封装带有全部六个 Control 输出引脚 (CTL0–CTL5)。8051 可对 GPIF 单元进行编程，以定义 CTL 波形。56 引脚封装只包含 CTL0–CTL2。可以对 CTL_x 波形边缘进行编程，使起变速度达到每时钟周期一次（使用 48-MHz 时钟时为 20.8 ns）。

3.14.2 六个 Ready 输入信号

100 引脚和 128 引脚封装可产生全部六个 Ready 输入 (RDY0–RDY5)。8051 可对 GPIF 单元进行编程，以测试 RDY 引脚的 GPIF 分支。56 引脚封装可产生这些信号中的两个，即 RDY0–RDY1。

3.14.3 九个 GPIF Address 输出信号

在 100 引脚和 128 引脚封装中有九个 GPIF 地址线可供使用，即 GPIFADR[8..0]。GPIF 地址线支持最大访问 512 字节的 RAM 存储块。如果需要更多地址线，则可使用 IO 端口引脚。

3.14.4 长传输模式

在主控模式下，8051 相应地设置 GPIF 事务处理计数器寄存器 (GPIFTCB3、GPIFTCB2、GPIFTCB1 或 GPIFTCB0)，以便自动传输多达 2^{32} 个事务处理。GPIF 会自动对数据流进行节流，以防止不足或溢出，直到所有被请求事务处理完成为止。GPIF 通过递减这些寄存器中的值，以显示事务处理的当前状态。

3.15 ECC 生成^[7]

EZ-USB 可对经过其 GPIF 或 Slave FIFO 接口的数据计算 ECC (Error Correcting Code, 错误纠正代码)。FX2LP 有两种 ECC 配置：两个 ECC，每个都计算 256 以上的字节 (SmartMedia 标准)；一个 ECC，计算 512 以上的字节。

ECC 可以纠正任何一位错误或检测任何两位错误。

3.15.1 ECC 实现

这两种 ECC 配置由 ECCM 位选择：

ECCM = 0

两个 3 字节 ECC，每个计算 256 字节以上的数据块。该配置符合 SmartMedia 标准。

向 ECCRESET 写入任意值，然后经 GPIF 或 Slave FIFO 接口传输数据。第一个 256 字节数据的 ECC 经过计算后存储在 ECC1 中。下一个 256 字节的 ECC 存储在 ECC2 中。在计算第二个 ECC 后，ECC_x 寄存器中的值只有在重新写入 ECCRESET 后才会更新，即使还有后续数据传过该接口也是如此。

ECCM = 1

一个 3 字节 ECC，计算 512 字节以上的数据块。

向 ECCRESET 写入任意值，然后经 GPIF 或 Slave FIFO 接口传输数据。前 512 字节的数据的 ECC 经过计算后存储在 ECC1 中；ECC2 未使用。在计算 ECC 后，ECC1 中的值只有在重新写入 ECCRESET 后才会更新，即使后面还有数据传过该接口也是如此。

3.16 USB 上载和下载

通过厂商特定的指令，内核能够直接编辑内部 16 KB RAM 和内部 512 字节便笺式 RAM 的数据内容。这种功能通常在软件下载用户代码时使用，并且只能是上载或下载到内部 RAM 并且让 8051 处于复位状态下时才可用。可用的 RAM 空间为 16 KB (0x0000–0x3FFF, 程序/数据) 和 512 字节 (0xE000–0xE1FF, 便笺式数据 RAM)。^[8]

3.17 自动指针访问

FX2LP 提供两个完全相同的自动指针。它们与内部 8051 数据指针类似，但具有更多功能：它们可以在每次存储器访问后选择性的递增。这种功能可用于进出内部和外部 RAM。自动指针可以在模式位 (AUTOPTRESET-UP.0) 控制下的外部 FX2LP 寄存器中找到。通过使用外部 FX2LP 自动指针进行访问 (0xE67B–0xE67C)，可以让自动指针访问所有内部和外部 RAM。

此外，自动指针还可以指向任何 FX2LP 寄存器或端点缓冲区空间。当使能自动指针对外部存储器的访问权限时，XDATA 和代码空间中的位置 0xE67B 与 0xE67C 是无法使用的。

注

7. 为使用 ECC 逻辑，GPIF 或 Slave FIFO 接口必须配置为适合于字节范围内的操作。
8. 从主机下载数据后，“加载器”可以从内部 RAM 执行，以便将下载的数据传输到外部存储器中。

3.18 I²C 控制器

FX2LP 有一个 I²C 端口，该端口由两个内部控制器驱动，其中一个在引导时自动运行，以加载 VID/PID/DID 和配置信息，另一个由 8051 在运行时用于控制外部 I²C 设备。I²C 端口仅在主控模式下运行。

3.18.1 I²C 端口引脚

I²C 引脚 SCL 和 SDA 必须有 2.2 kΩ 外部上拉电阻，即使没有 EEPROM 连接到 FX2LP 也要如此。外部 EEPROM 设备地址引脚必须正确配置。请参见表 8，以了解如何配置设备地址引脚。

表 8. 将 EEPROM 地址线引导到这些值

| 字节 | 示例 EEPROM | A2 | A1 | A0 |
|-----|----------------------|-----|-----|-----|
| 16 | 24LC00 ⁹⁾ | N/A | N/A | N/A |
| 128 | 24LC01 | 0 | 0 | 0 |
| 256 | 24LC02 | 0 | 0 | 0 |
| 4K | 24LC32 | 0 | 0 | 1 |
| 8K | 24LC64 | 0 | 0 | 1 |
| 16K | 24LC128 | 0 | 0 | 1 |

表 9. 部件编号转换表

| EZ-USB FX2 部件编号 | EZ-USB FX2LP 部件编号 | 封装说明 |
|--------------------|-----------------------------------------|-------------------------|
| CY7C68013-56PVC | CY7C68013A-56PVXC 或 CY7C68014A-56PVXC | 56 引脚 SSOP |
| CY7C68013-56PVCT | CY7C68013A-56PVXCT 或 CY7C68014A-56PVXCT | 56 引脚 SSOP — 带式 and 卷轴式 |
| CY7C68013-56LFC | CY7C68013A-56LFXC 或 CY7C68014A-56LFXC | 56 引脚 QFN |
| CY7C68013-100AC | CY7C68013A-100AXC 或 CY7C68014A-100AXC | 100 引脚 TQFP |
| CY7C68013-128AC | CY7C68013A-128AXC 或 CY7C68014A-128AXC | 128 引脚 TQFP |

3.18.2 I²C 接口引导加载访问

在执行加电时复位时，I²C 接口引导加载器会加载 VID/PID/DID 配置字节和多达 16 KB 的程序 / 数据。可用 RAM 空间为 16 KB (0x0000–0x3FFF) 和 512 字节 (0xE000–0xE1FF)。8051 处于复位状态。I²C 接口引导加载只有在执行加电时复位之后才会发生。

3.18.3 I²C 接口的通用访问

8051 可以使用 I²CTL 和 I2DAT 寄存器来控制与 I²C 总线连接的外设。FX2LP 仅提供 I²C 主控制，永远不提供 I²C 从属控制。

3.19 与上一代 EZ-USB FX2 兼容

EZ-USB FX2LP 与其前身 EZ-USB FX2 在适用性、外观上兼容，仅在功能上略有不同。这便于设计人员将系统从 FX2 升级到 FX2LP 的转换。引脚和封装选择是一致的，而且 FX2LP 中的大多数固件是以前为 FX2 功能开发的。

对于从 FX2 移植到 FX2LP 的设计人员来说，必须更改材料清单并复查存储器分配（因为增大了内部存储器）。有关从 EZ-USB FX2 移植到 EZ-USB FX2LP 的详细信息，请参见位于 [赛普拉斯网站](#) 上题为 《*Migrating from EZ-USB FX2 to EZ-USB FX2LP*》（从 EZ-USB FX2 移植到 EZ-USB FX2LP）的应用手册。

注

9. 该 EEPROM 没有地址引脚。

3.20 CY7C68013A/14A 和 CY7C68015A/16A 的差异

CY7C68013A 和 CY7C68014A 在外形、适用性和功能上一致。CY7C68015A 和 CY7C68016A 在外形、适用性和功能上一致。CY7C68014A 和 CY7C68016A 的挂起电流分别低于 CY7C68013A 和 CY7C68015A，因此适用于对功耗较敏感的电池应用。

CY7C68015A 和 CY7C68016A 仅有 56 引脚 QFN 封装供选择。在 CY7C68015A 和 CY7C68016A 上还有两个额外的 GPIO 信号，可在 56 引脚封装中既不需要 IFCLK，也不需要 CLKOUT 时提供更多灵活性。

如果 USB 开发人员希望将 FX2 56 引脚应用直接转换为总线供电的系统，就会发现这些额外信号很有用。这两个 GPIO 为开发人员提供了总线供电应用的电源控制电路所需的信号，让他们不必寻求 FX2LP 的高引脚数量版本。

CY7C68015A 仅有 56 引脚 QFN 封装供选择

表 10. CY7C68013A/14A 和 CY7C68015A/16A 引脚的差异

| CY7C68013A/CY7C68014A | CY7C68015A/CY7C68016A |
|-----------------------|-----------------------|
| IFCLK | PE0 |
| CLKOUT | PE1 |

4. 引脚分配

第 15 页的图 6 标出了五种封装类型的所有信号。下列各页提供了各个引脚的图解，另外还有一个组合图显示了在 128 引脚、100 引脚和 56 引脚封装中有哪些完整的信号集可用。

56 引脚封装左边缘上的信号（见第 15 页的图 6）在 FX2LP 系列的所有版本中都是相同的，但 CY7C68013A/14A 和 CY7C68015A/16A 之间有明显差异。

以下三种模式在所有封装版本中可使用：P 口、GPIF 主控和 Slave FIFO。这些模式定义图形右边缘上的信号。8051 通过 IFCONFIG[1:0] 寄存器位来选择接口模式。端口模式是加电时的默认配置。

100 引脚封装通过在 56 引脚封装的基础上增加了下列引脚，从而增加了功能：

- PORTC 或备选 GPIFADR[7:0] 地址信号
- PORTE 或备选 GPIFADR[8] 地址信号以及七个额外的 8051 信号
- 三个 GPIF Control 信号
- 四个 GPIF Ready 信号
- 九个 8051 信号（两个 USART、三个定时器输入、INT4 和 INT5#）
- BKPT、RD#、WR#

128 引脚封装增加了 8051 地址和数据总线以及控制信号。请注意，在所需信号中，有两个信号（RD# 和 WR#）在 100 引脚版本中已包含。

在 100 引脚和 128 引脚的版本中，可将一个 8051 控制位设为在 8051 对 PORTC 进行读/写操作时触发 RD# 和 WR# 引脚的脉冲。通过在 CPUCS 寄存器中设置 PORTCSTB 位，可启用此功能。

第 10.5 节中提供了访问 PORTC 时的读写选通功能的时序图。

图 6. 信号

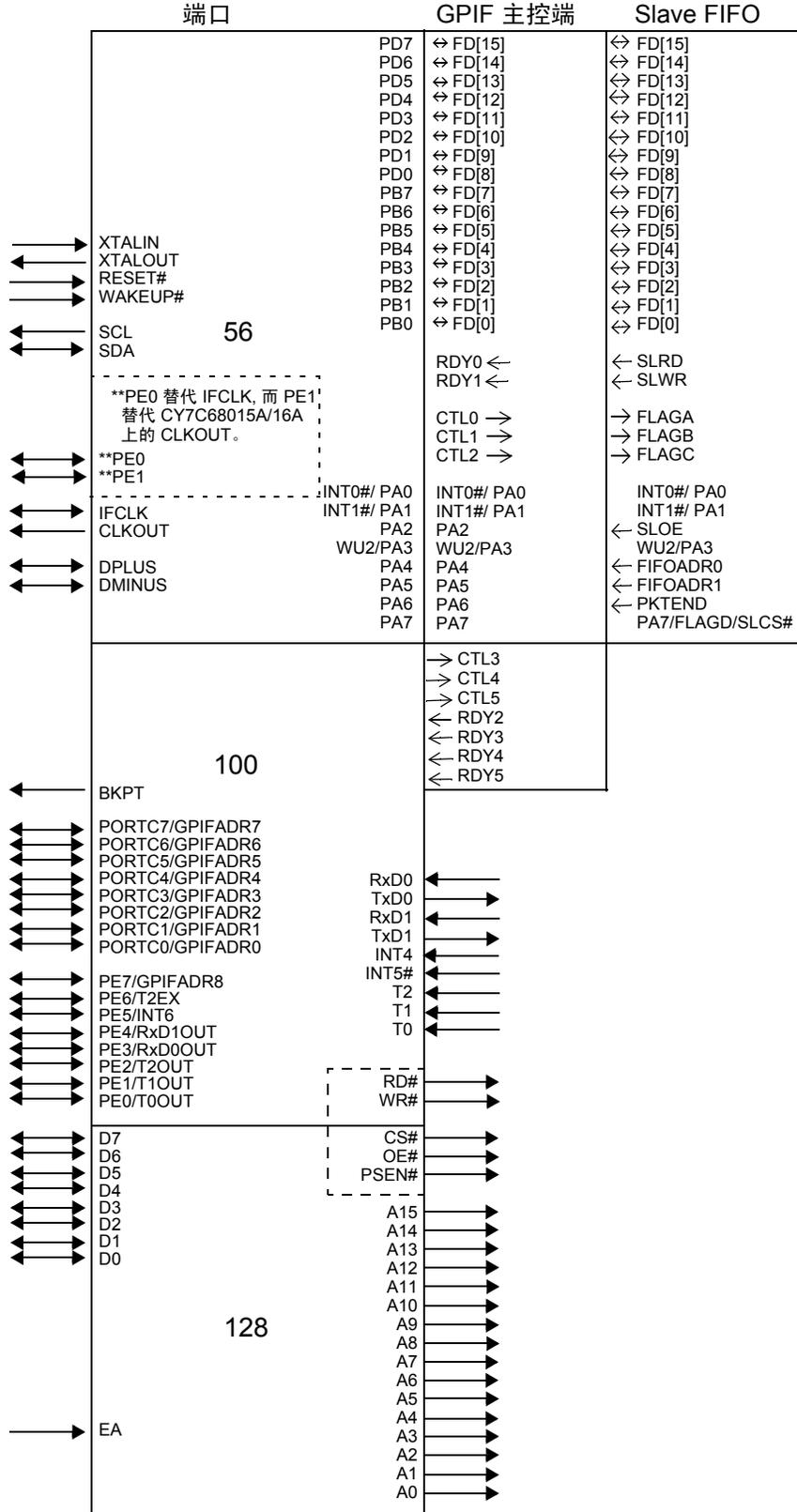
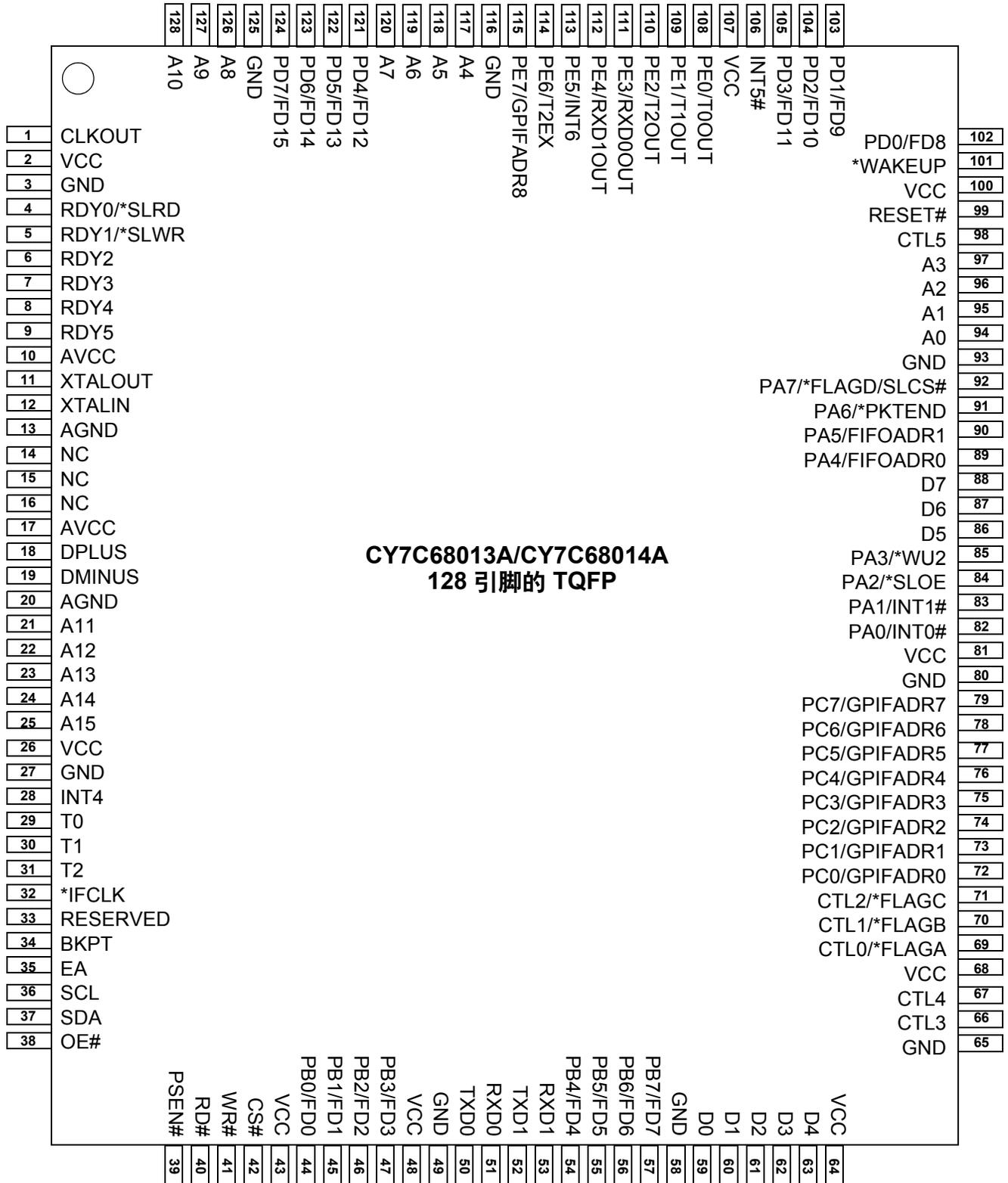
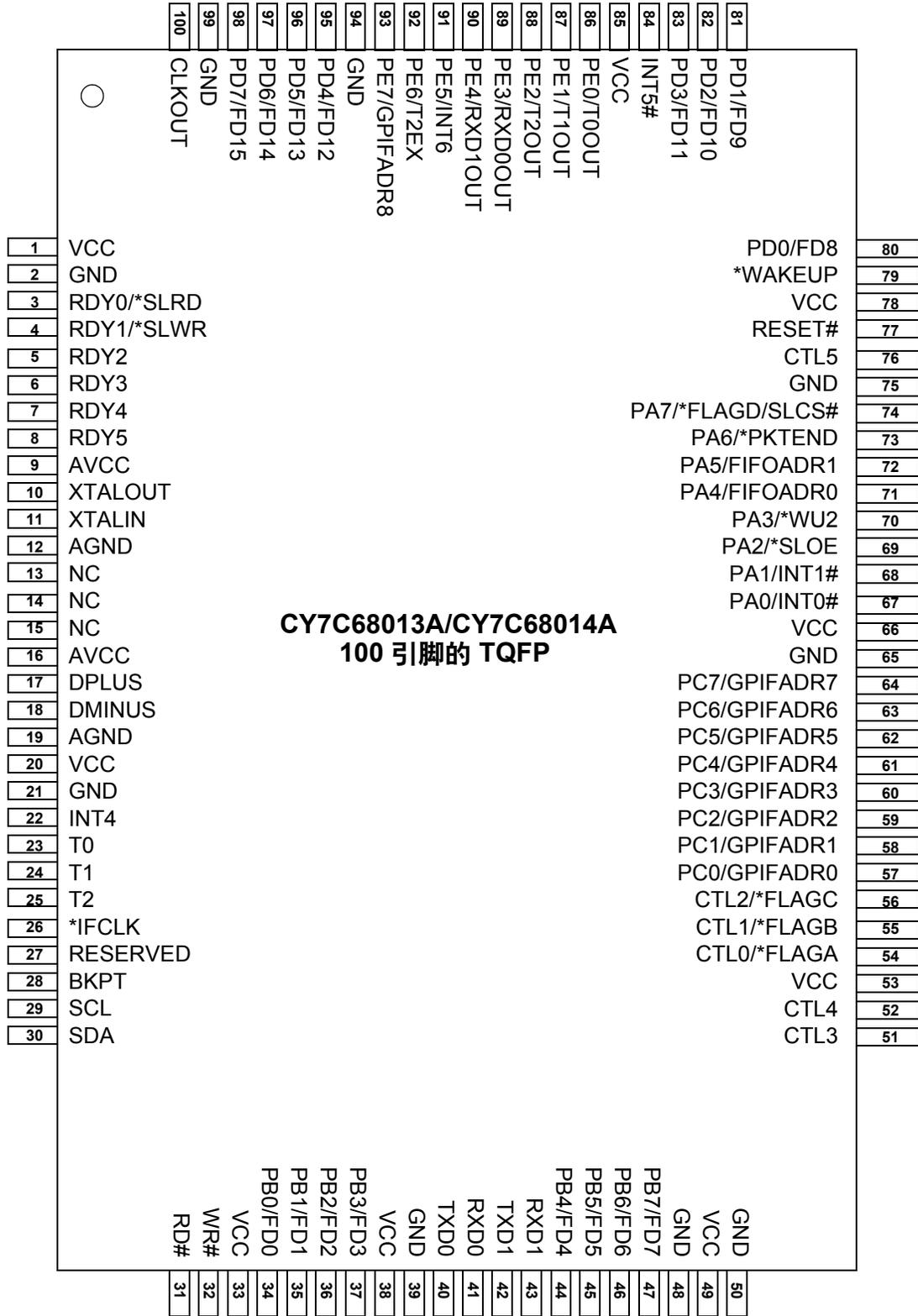


图 7. CY7C68013A/CY7C68014A 128 引脚 TQFP 的引脚分配



* 表示可编程极性

图 8. CY7C68013A/CY7C68014A 100 引脚 TQFP 的引脚分配



* 表示可编程极性

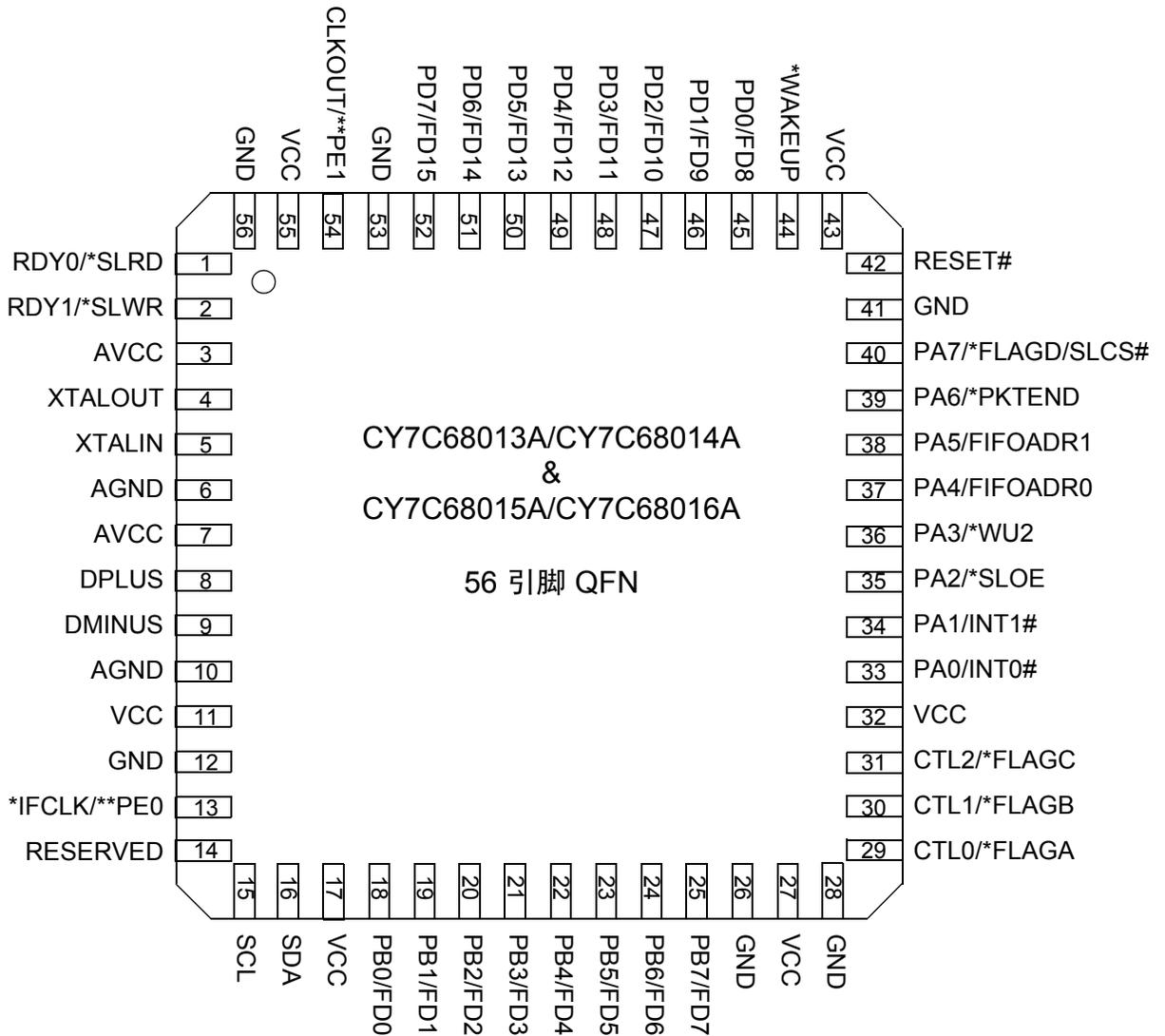
图 9. CY7C68013A/CY7C68014A 56 引脚 SSOP 的引脚分配

CY7C68013A/CY7C68014A
56 引脚 SSOP

| | | | |
|----|------------|------------------|----|
| 1 | PD5/FD13 | PD4/FD12 | 56 |
| 2 | PD6/FD14 | PD3/FD11 | 55 |
| 3 | PD7/FD15 | PD2/FD10 | 54 |
| 4 | GND | PD1/FD9 | 53 |
| 5 | CLKOUT | PD0/FD8 | 52 |
| 6 | VCC | *WAKEUP | 51 |
| 7 | GND | VCC | 50 |
| 8 | RDY0/*SLRD | RESET# | 49 |
| 9 | RDY1/*SLWR | GND | 48 |
| 10 | AVCC | PA7/*FLAGD/SLCS# | 47 |
| 11 | XTALOUT | PA6/PKTEND | 46 |
| 12 | XTALIN | PA5/FIFOADR1 | 45 |
| 13 | AGND | PA4/FIFOADR0 | 44 |
| 14 | AVCC | PA3/*WU2 | 43 |
| 15 | DPLUS | PA2/*SLOE | 42 |
| 16 | DMINUS | PA1/INT1# | 41 |
| 17 | AGND | PA0/INT0# | 40 |
| 18 | VCC | VCC | 39 |
| 19 | GND | CTL2/*FLAGC | 38 |
| 20 | *IFCLK | CTL1/*FLAGB | 37 |
| 21 | RESERVED | CTL0/*FLAGA | 36 |
| 22 | SCL | GND | 35 |
| 23 | SDA | VCC | 34 |
| 24 | VCC | GND | 33 |
| 25 | PB0/FD0 | PB7/FD7 | 32 |
| 26 | PB1/FD1 | PB6/FD6 | 31 |
| 27 | PB2/FD2 | PB5/FD5 | 30 |
| 28 | PB3/FD3 | PB4/FD4 | 29 |

* 表示可编程极性

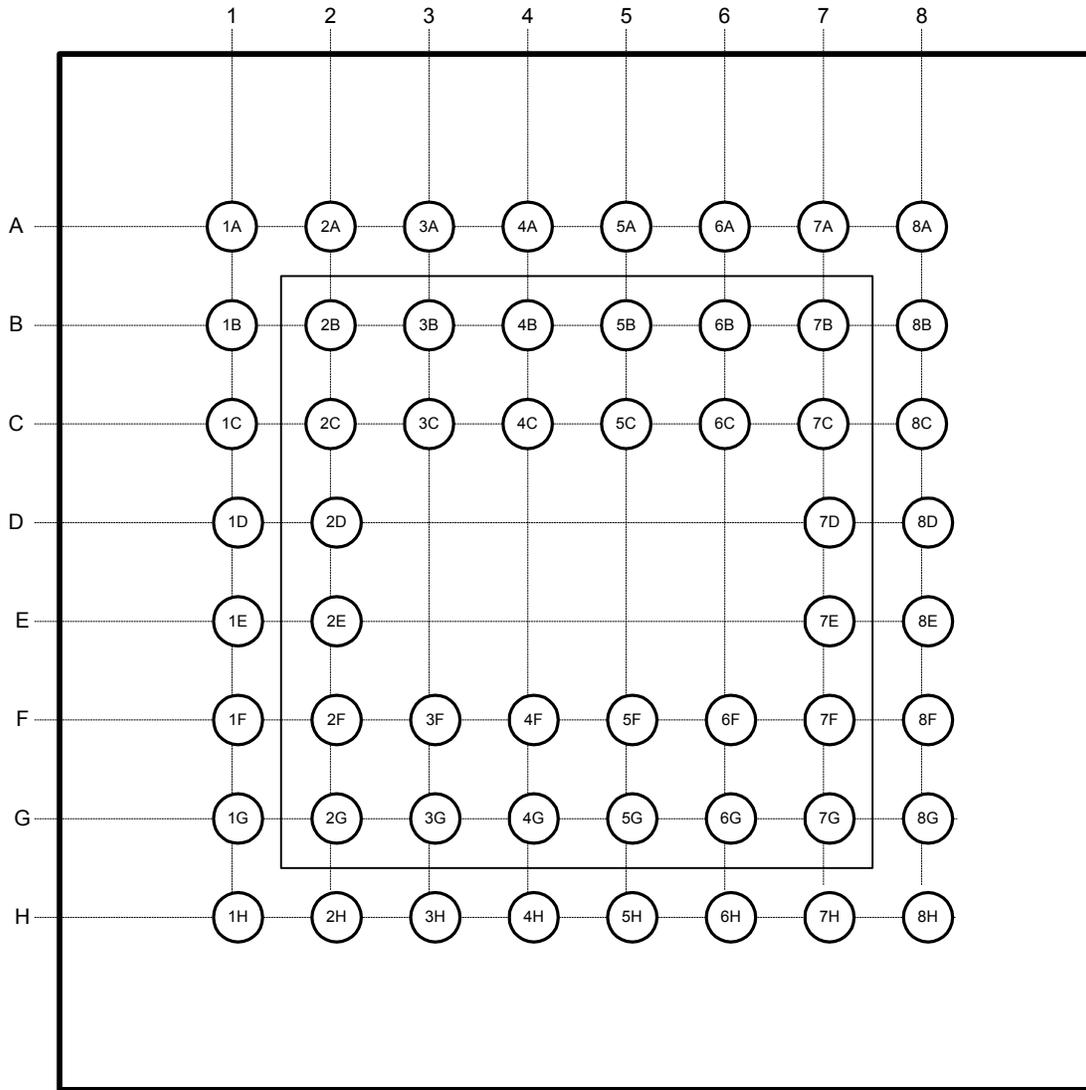
图 10. CY7C68013A/14A/15A/16A 56 引脚 QFN 的引脚分配



* 表示可编程极性

** 表示 CY7C68015A/CY7C68016A 引脚

图 11. CY7C68013A 56 引脚 VFBGA 的引脚分配 — 顶部视图



4.1 CY7C68013A/15A 引脚说明

FX2LP 引脚说明如下所示。^[10]

表 11. FX2LP 引脚说明

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|----------|----------|---------|--------|----------|--------|------|-----|----------------------------------------------------------------------------------------------------------------------------|
| 10 | 9 | 10 | 3 | 2D | AVCC | 电源 | N/A | 模拟 VCC。 将此引脚与 3.3V 电源连接。该信号为芯片的模拟部分供电。 |
| 17 | 16 | 14 | 7 | 1D | AVCC | 电源 | N/A | 模拟 VCC。 将此引脚与 3.3V 电源连接。该信号为芯片的模拟部分供电。 |
| 13 | 12 | 13 | 6 | 2F | AGND | 地线 | N/A | 模拟接地。 用尽可能短的路径与地线连接。 |
| 20 | 19 | 17 | 10 | 1F | AGND | 地线 | N/A | 模拟接地。 用尽可能短的路径与地线连接。 |
| 19 | 18 | 16 | 9 | 1E | DMINUS | IO/Z | Z | USB D- 信号。 与 USB D- 信号连接。 |
| 18 | 17 | 15 | 8 | 2E | DPLUS | IO/Z | Z | USB D+ 信号。 与 USB D+ 信号连接。 |
| 94 | | | | | A0 | 输出 | L | 8051 地址总线。 该总线始终处于驱动状态。当 8051 处理内部 RAM 时，它会反映内部地址。 |
| 95 | | | | | A1 | 输出 | L | |
| 96 | | | | | A2 | 输出 | L | |
| 97 | | | | | A3 | 输出 | L | |
| 117 | | | | | A4 | 输出 | L | |
| 118 | | | | | A5 | 输出 | L | |
| 119 | | | | | A6 | 输出 | L | |
| 120 | | | | | A7 | 输出 | L | |
| 126 | | | | | A8 | 输出 | L | |
| 127 | | | | | A9 | 输出 | L | |
| 128 | | | | | A10 | 输出 | L | |
| 21 | | | | | A11 | 输出 | L | |
| 22 | | | | | A12 | 输出 | L | |
| 23 | | | | | A13 | 输出 | L | |
| 24 | | | | | A14 | 输出 | L | |
| 25 | | | | | A15 | 输出 | L | |
| 59 | | | | | D0 | IO/Z | Z | 8051 数据总线。 该双向总线在处于非活动状态、读总线输入和写总线输出时具有高阻抗。数据总线用于外部 8051 程序和数据存储器。数据总线仅在访问外部总线时处于活动状态，而且在挂起时处于低电平驱动状态。 |
| 60 | | | | | D1 | IO/Z | Z | |
| 61 | | | | | D2 | IO/Z | Z | |
| 62 | | | | | D3 | IO/Z | Z | |
| 63 | | | | | D4 | IO/Z | Z | |
| 86 | | | | | D5 | IO/Z | Z | |
| 87 | | | | | D6 | IO/Z | Z | |
| 88 | | | | | D7 | IO/Z | Z | |
| 39 | | | | | PSEN# | 输出 | H | 程序存储使能。 该低电平有效信号表示从外部存储器中获取 8051 代码。它在 EA 引脚为低电平时有效，即从 0x4000–0xFFFF 中获取程序，或者在 EA 引脚为高电平时有效，即从 0x0000–0xFFFF 中获取程序。 |

注

10. 未使用的输入端不得处于浮动状态。根据情况连接高电平或低电平。输出端只应上拉或下拉，以确保信号加电并处于待机模式。另外还请注意，在设备断电时任何引脚都不应该处于驱动状态。

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|-------------|----------|---------|--------|----------|--------------------------------------------|------|------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 34 | 28 | | | | BKPT | 输出 | L | 断点。 在 8051 地址总线与 BPADDRH/L 寄存器匹配并且 BREAKPT 寄存器中使能断点 (BPEN = 1) 时, 该引脚有效 (高电平)。如果 BREAKPT 寄存器中的 BPPULSE 位为高电平, 该信号就会触发 8 个 12-/24-/48-MHz 高电平脉冲。如果 BPPULSE 位为低电平, 该信号仍会保持高电平, 直到 8051 清除 BREAKPT 寄存器中的 BREAK 位 (通过为其写入 1) 为止。 |
| 99 | 77 | 49 | 42 | 8B | RESET# | 输入 | N/A | 低电平有效复位。 复位整个芯片。有关详细信息, 请参见第 3.9 节第 6 页的“复位和唤醒”的第一页。 |
| 35 | | | | | EA | 输入 | N/A | 外部访问。 该引脚确定 8051 在地址 0x0000 和 0x3FFF 之间的何处获取代码。如果 EA = 0, 8051 就会从其内部 RAM 中获取该代码。如果 EA = 1, 8051 就会从其外部存储器中获取该代码。 |
| 12 | 11 | 12 | 5 | 1C | XTALIN | 输入 | N/A | 晶体输入。 将该信号与 24-MHz 并行谐振的基础模式晶体连接, 并且将加载电容接 GND。 另外, 也可以从其它时钟源派生的外部 24-MHz 方波来驱动 XTALIN。当从外部源中驱动时, 驱动信号应为 3.3V 方波。 |
| 11 | 10 | 11 | 4 | 2C | XTALOUT | 输出 | N/A | 晶体输出。 将该信号与 24-MHz 并行谐振的基础模式晶体连接, 并且将加载电容接 GND。 如果用外部时钟来驱动 XTALIN, 请将此引脚保留为开放状态。 |
| 1 | 100 | 5 | 54 | 2B | CY7C68013A 和 CY7C68014A 上的 CLKOUT | O/Z | 12 MHz | CLKOUT: 12、24 或 48 MHz 时钟, 相位锁定到 24-MHz 输入时钟。8051 默认为 12-MHz 运行。通过设置 CPUCS.1 = 1, 8051 可以为此输出实现三态。 |
| | | | | | CY7C68015A 和 CY7C68016A 上的 PE1 | IO/Z | I | PE1 是双向 IO 端口引脚。 |
| 端口 A | | | | | | | | |
| 82 | 67 | 40 | 33 | 8G | PA0 或 INT0# | IO/Z | I (PA0) | 多路复用引脚, 其功能通过 PORTACFG.0 来选择 PA0 是双向 IO 端口引脚。 INT0# 是低电平有效 8051 INT0 中断输入信号, 可边沿触发 (IT0 = 1) 或电平触发 (IT0 = 0)。 |
| 83 | 68 | 41 | 34 | 6G | PA1 或 INT1# | IO/Z | I (PA1) | 多路复用引脚, 其功能通过 PORTACFG.1 来选择 PA1 是双向 IO 端口引脚。 INT1# 是低电平有效 8051 INT1 中断输入信号, 可边沿触发 (IT1 = 1) 或电平触发 (IT1 = 0)。 |
| 84 | 69 | 42 | 35 | 8F | PA2 或 SLOE | IO/Z | I (PA2) | 多路复用引脚, 其功能通过以下两个位来选择: IFCONFIG[1:0]。 PA2 是双向 IO 端口引脚。 SLOE 是具有可编程极性 (FIFOPINPOLAR.4) 的仅输入输出使能, 适用于与 FD[7..0] 或 FD[15..0] 连接的 Slave FIFO。 |

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|-------------|----------|---------|--------|----------|---------------------|------|---------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 85 | 70 | 43 | 36 | 7F | PA3 或 WU2 | IO/Z | I (PA3) | 多路复用引脚, 其功能通过 WAKEUP.7 和 OEA.3 来选择。 PA3 是双向 IO 端口引脚。 WU2 是 USB 唤醒 的备选源, 由 WU2EN 位 (WAKEUP.1) 使能, 极性由 WU2POL (WAKEUP.4) 设置。如果 8051 处于挂起状态且 WU2EN = 1, 则该引脚上的跳变就会启动振荡器并中断 8051, 以使其退出挂起模式。如果 WU2EN = 1, 则触发该引脚会阻止芯片挂起。 |
| 89 | 71 | 44 | 37 | 6F | PA4 或 FIFOADR0 | IO/Z | I (PA4) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 来选择。 PA4 是双向 IO 端口引脚。 FIFOADR0 是仅输入地址选择, 适用于与 FD[7..0] 或 FD[15..0] 连接的 Slave FIFO。 |
| 90 | 72 | 45 | 38 | 8C | PA5 或 FIFOADR1 | IO/Z | I (PA5) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 来选择。 PA5 是双向 IO 端口引脚。 FIFOADR1 是仅输入地址选择, 适用于与 FD[7..0] 或 FD[15..0] 连接的 Slave FIFO。 |
| 91 | 73 | 46 | 39 | 7C | PA6 或 PKTEND | IO/Z | I (PA6) | 多路复用引脚, 其功能通过 IFCONFIG[1:0] 位来选择。 PA6 是双向 IO 端口引脚。 PKTEND 是用于将 FIFO 数据包提交到端点的输入端, 其极性可通过 FIFOPINPOLAR.5 进行编程。 |
| 92 | 74 | 47 | 40 | 6C | PA7 或 FLAGD 或 SLCS# | IO/Z | I (PA7) | 多路复用引脚, 其功能通过 IFCONFIG[1:0] 和 PORTACFG.7 位来选择。 PA7 是双向 IO 端口引脚。 FLAGD 是可编程的 Slave FIFO 输出状态标志信号。 SLCS# 选择传送所有其他 Slave FIFO 使能 / 选通脉冲 |
| 端口 B | | | | | | | | |
| 44 | 34 | 25 | 18 | 3H | PB0 或 FD[0] | IO/Z | I (PB0) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB0 是双向 IO 端口引脚。 FD[0] 是双向 FIFO/GPIF 数据总线。 |
| 45 | 35 | 26 | 19 | 4F | PB1 或 FD[1] | IO/Z | I (PB1) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB1 是双向 IO 端口引脚。 FD[1] 是双向 FIFO/GPIF 数据总线。 |
| 46 | 36 | 27 | 20 | 4H | PB2 或 FD[2] | IO/Z | I (PB2) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB2 是双向 IO 端口引脚。 FD[2] 是双向 FIFO/GPIF 数据总线。 |
| 47 | 37 | 28 | 21 | 4G | PB3 或 FD[3] | IO/Z | I (PB3) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB3 是双向 IO 端口引脚。 FD[3] 是双向 FIFO/GPIF 数据总线。 |
| 54 | 44 | 29 | 22 | 5H | PB4 或 FD[4] | IO/Z | I (PB4) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB4 是双向 IO 端口引脚。 FD[4] 是双向 FIFO/GPIF 数据总线。 |

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|-------------|----------|---------|--------|----------|----------------|------|------------|--------------------------------------------------------------------------------------------------------|
| 55 | 45 | 30 | 23 | 5G | PB5 或 FD[5] | IO/Z | I (PB5) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB5 是双向 IO 端口引脚。 FD[5] 是双向 FIFO/GPIF 数据总线。 |
| 56 | 46 | 31 | 24 | 5F | PB6 或 FD[6] | IO/Z | I (PB6) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB6 是双向 IO 端口引脚。 FD[6] 是双向 FIFO/GPIF 数据总线。 |
| 57 | 47 | 32 | 25 | 6H | PB7 或 FD[7] | IO/Z | I (PB7) | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 PB7 是双向 IO 端口引脚。 FD[7] 是双向 FIFO/GPIF 数据总线。 |
| 端口 C | | | | | | | | |
| 72 | 57 | | | | PC0 或 GPIFADR0 | IO/Z | I (PC0) | 多路复用引脚, 其功能通过 PORTCCFG.0 来选择。 PC0 是双向 IO 端口引脚。 GPIFADR0 是 GPIF 地址输出引脚。 |
| 73 | 58 | | | | PC1 或 GPIFADR1 | IO/Z | I (PC1) | 多路复用引脚, 其功能通过 PORTCCFG.1 来选择。 PC1 是双向 IO 端口引脚。 GPIFADR1 是 GPIF 地址输出引脚。 |
| 74 | 59 | | | | PC2 或 GPIFADR2 | IO/Z | I (PC2) | 多路复用引脚, 其功能通过 PORTCCFG.2 来选择。 PC2 是双向 IO 端口引脚。 GPIFADR2 是 GPIF 地址输出引脚。 |
| 75 | 60 | | | | PC3 或 GPIFADR3 | IO/Z | I (PC3) | 多路复用引脚, 其功能通过 PORTCCFG.3 来选择。 PC3 是双向 IO 端口引脚。 GPIFADR3 是 GPIF 地址输出引脚。 |
| 76 | 61 | | | | PC4 或 GPIFADR4 | IO/Z | I (PC4) | 多路复用引脚, 其功能通过 PORTCCFG.4 来选择。 PC4 是双向 IO 端口引脚。 GPIFADR4 是 GPIF 地址输出引脚。 |
| 77 | 62 | | | | PC5 或 GPIFADR5 | IO/Z | I (PC5) | 多路复用引脚, 其功能通过 PORTCCFG.5 来选择。 PC5 是双向 IO 端口引脚。 GPIFADR5 是 GPIF 地址输出引脚。 |
| 78 | 63 | | | | PC6 或 GPIFADR6 | IO/Z | I (PC6) | 多路复用引脚, 其功能通过 PORTCCFG.6 来选择。 PC6 是双向 IO 端口引脚。 GPIFADR6 是 GPIF 地址输出引脚。 |
| 79 | 64 | | | | PC7 或 GPIFADR7 | IO/Z | I (PC7) | 多路复用引脚, 其功能通过 PORTCCFG.7 来选择。 PC7 是双向 IO 端口引脚。 GPIFADR7 是 GPIF 地址输出引脚。 |
| 端口 D | | | | | | | | |
| 102 | 80 | 52 | 45 | 8A | PD0 或 FD[8] | IO/Z | I (PD0) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[8] 是双向 FIFO/GPIF 数据总线。 |
| 103 | 81 | 53 | 46 | 7A | PD1 或 FD[9] | IO/Z | I (PD1) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[9] 是双向 FIFO/GPIF 数据总线。 |

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|-------------|----------|---------|--------|----------|---------------|------|---------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 104 | 82 | 54 | 47 | 6B | PD2 或 FD[10] | IO/Z | I (PD2) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[10] 是双向 FIFO/GPIF 数据总线。 |
| 105 | 83 | 55 | 48 | 6A | PD3 或 FD[11] | IO/Z | I (PD3) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[11] 是双向 FIFO/GPIF 数据总线。 |
| 121 | 95 | 56 | 49 | 3B | PD4 或 FD[12] | IO/Z | I (PD4) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[12] 是双向 FIFO/GPIF 数据总线。 |
| 122 | 96 | 1 | 50 | 3A | PD5 或 FD[13] | IO/Z | I (PD5) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[13] 是双向 FIFO/GPIF 数据总线。 |
| 123 | 97 | 2 | 51 | 3C | PD6 或 FD[14] | IO/Z | I (PD6) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[14] 是双向 FIFO/GPIF 数据总线。 |
| 124 | 98 | 3 | 52 | 2A | PD7 或 FD[15] | IO/Z | I (PD7) | 多路复用引脚, 其功能通过 IFCONFIG[1..0] 和 EPxFIFOCFG.0 (字宽) 位来选择。 FD[15] 是双向 FIFO/GPIF 数据总线。 |
| 端口 E | | | | | | | | |
| 108 | 86 | | | | PE0 或 T0OUT | IO/Z | I (PE0) | 多路复用引脚, 其功能通过 PORTECFG.0 位来选择。 PE0 是双向 IO 端口引脚。 T0OUT 是来自 8051 Timer/Counter0 的高电平有效信号。T0OUT 在 Timer0 溢出时输出一个 CLKOUT 时钟周期的高电平。如果 Timer0 在模式 3 (两个独立的定时器 / 计数器) 下运行, T0OUT 就会在低字节定时器 / 计数器溢出时有效。 |
| 109 | 87 | | | | PE1 或 T1OUT | IO/Z | I (PE1) | 多路复用引脚, 其功能通过 PORTECFG.1 位来选择。 PE1 是双向 IO 端口引脚。 T1OUT 是来自 8051 Timer/Counter1 的高电平有效信号。T1OUT 在 Timer1 溢出时输出一个 CLKOUT 时钟周期的高电平。如果 Timer1 在模式 3 (两个独立的定时器 / 计数器) 下运行, T1OUT 就会在低字节定时器 / 计数器溢出时有效。 |
| 110 | 88 | | | | PE2 或 T2OUT | IO/Z | I (PE2) | 多路复用引脚, 其功能通过 PORTECFG.2 位来选择。 PE2 是双向 IO 端口引脚。 T2OUT 是来自 8051 Timer2 的高电平有效输出信号。T2OUT 在 Timer/Counter 2 溢出时输出一个时钟周期的高电平有效状态。 |
| 111 | 89 | | | | PE3 或 RXD0OUT | IO/Z | I (PE3) | 多路复用引脚, 其功能通过 PORTECFG.3 位来选择。 PE3 是双向 IO 端口引脚。 RXD0OUT 是来自 8051 UART0 的高电平有效信号。如果选择了 RXD0OUT, 而且 UART0 处于模式 0, 则该引脚仅会在 UART0 处于同步模式时为其提供输出数据。否则, 它为 1。 |

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|----------|----------|---------|--------|----------|----------------|------|---------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 112 | 90 | | | | PE4 或 RXD1OUT | IO/Z | I (PE4) | 多路复用引脚, 其功能通过 PORTECFG.4 位来选择。 PE4 是双向 IO 端口引脚。 RXD1OUT 是来自 8051 UART1 的高电平有效输出。如果选择了 RXD1OUT, 而且 UART1 处于模式 0, 则该引脚仅会在 UART1 处于同步模式时为其提供输出数据。在模式 1、2 和 3 中, 该引脚为高电平。 |
| 113 | 91 | | | | PE5 或 INT6 | IO/Z | I (PE5) | 多路复用引脚, 其功能通过 PORTECFG.5 位来选择。 PE5 是双向 IO 端口引脚。 INT6 是 8051 INT6 中断请求输入信号。INT6 引脚为边沿触发, 且为高电平有效。 |
| 114 | 92 | | | | PE6 或 T2EX | IO/Z | I (PE6) | 多路复用引脚, 其功能通过 PORTECFG.6 位来选择。 PE6 是双向 IO 端口引脚。 T2EX 是针对 8051 Timer2 的高电平有效输入信号。T2EX 在其下降沿重新加载 Timer2。T2EX 仅在 T2CON 寄存器的 EXEN2 位设为 1 时才有效。 |
| 115 | 93 | | | | PE7 或 GPIFADR8 | IO/Z | I (PE7) | 多路复用引脚, 其功能通过 PORTECFG.7 位来选择。 PE7 是双向 IO 端口引脚。 GPIFADR8 是 GPIF 地址输出引脚。 |
| 4 | 3 | 8 | 1 | 1A | RDY0 或 SLRD | 输入 | N/A | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 RDY0 是 GPIF 输入信号。 SLRD 是具有可编程极性 (FIFOPINPOLAR.3) 的仅输入读取选通脉冲, 适用于与 FD[7..0] 或 FD[15..0] 连接的 Slave FIFO。 |
| 5 | 4 | 9 | 2 | 1B | RDY1 或 SLWR | 输入 | N/A | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 RDY1 是 GPIF 输入信号。 SLWR 是具有可编程极性 (FIFOPINPOLAR.2) 的仅输入写入选通脉冲, 适用于与 FD[7..0] 或 FD[15..0] 连接的 Slave FIFO。 |
| 6 | 5 | | | | RDY2 | 输入 | N/A | RDY2 是 GPIF 输入信号。 |
| 7 | 6 | | | | RDY3 | 输入 | N/A | RDY3 是 GPIF 输入信号。 |
| 8 | 7 | | | | RDY4 | 输入 | N/A | RDY4 是 GPIF 输入信号。 |
| 9 | 8 | | | | RDY5 | 输入 | N/A | RDY5 是 GPIF 输入信号。 |
| 69 | 54 | 36 | 29 | 7H | CTL0 或 FLAGA | O/Z | H | 多路复用引脚, 其功能通过以下位来选择: IFCONFIG[1..0]。 CTL0 是 GPIF 控制输出。 FLAGA 是可编程的 Slave FIFO 输出状态标志信号。对于通过 FIFOADR[1:0] 引脚选择的 FIFO, 默认设置为可编程。 |

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|----------|----------|---------|--------|----------|----------------------------------|------|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 70 | 55 | 37 | 30 | 7G | CTL1 或 FLAGB | O/Z | H | 多路复用引脚，其功能通过以下位来选择：IFCONFIG[1..0]。 CTL1 是 GPIF 控制输出。 FLAGB 是可编程的 Slave FIFO 输出状态标志信号。对于通过 FIFOADR[1:0] 引脚选择的 FIFO，默认设置为 FULL。 |
| 71 | 56 | 38 | 31 | 8H | CTL2 或 FLAGC | O/Z | H | 多路复用引脚，其功能通过以下位来选择：IFCONFIG[1..0]。 CTL2 是 GPIF 控制输出。 FLAGC 是可编程的 Slave FIFO 输出状态标志信号。对于通过 FIFOADR[1:0] 引脚选择的 FIFO，默认设置为 EMPTY。 |
| 66 | 51 | | | | CTL3 | O/Z | H | CTL3 是 GPIF 控制输出。 |
| 67 | 52 | | | | CTL4 | 输出 | H | CTL4 是 GPIF 控制输出。 |
| 98 | 76 | | | | CTL5 | 输出 | H | CTL5 是 GPIF 控制输出。 |
| 32 | 26 | 20 | 13 | 2G | CY7C68013A 和 CY7C68014A 上的 IFCLK | IO/Z | Z | 接口时钟，用于对进出 Slave FIFO 的数据进行同步计时。IFCLK 还充当所有 Slave FIFO 控制信号和 GPIF 的定时参考。当使用内部时钟计时 (IFCONFIG.7 = 1) 时，可通过位 IFCONFIG.5 和 IFCONFIG.6 将 IFCLK 引脚配置为输出 30/48 MHz。无论来源是内部还是外部，都可以通过设置位 IFCONFIG.4 = 1 将 IFCLK 反相。 |
| | | | | | CY7C68015A 和 CY7C68016A 上的 PE0 | IO/Z | I | PE0 是双向 IO 端口引脚。 |
| 28 | 22 | | | | INT4 | 输入 | N/A | INT4 是 8051 INT4 中断请求输入信号。INT4 引脚为边沿触发，且为高电平有效。 |
| 106 | 84 | | | | INT5# | 输入 | N/A | INT5# 是 8051 INT5 中断请求输入信号。INT5 引脚为边沿触发，且为低电平有效。 |
| 31 | 25 | | | | T2 | 输入 | N/A | T2 是提供给 8051 Timer2 的高电平有效 T2 输入信号，它在 C/T2 = 1 时为 Timer2 提供输入。当 C/T2 = 0 时，Timer2 不使用该引脚。 |
| 30 | 24 | | | | T1 | 输入 | N/A | T1 是 8051 Timer1 的高电平有效 T1 信号，它在 C/T1 为 1 时为 Timer1 提供输入。当 C/T1 为 0 时，Timer1 不使用该位。 |
| 29 | 23 | | | | T0 | 输入 | N/A | T0 是 8051 Timer0 的高电平有效 T0 信号，它在 C/T0 为 1 时为 Timer0 提供输入。当 C/T0 为 0 时，Timer0 不使用该位。 |
| 53 | 43 | | | | RXD1 | 输入 | N/A | RXD1 是提供给 8051 UART1 的高电平有效输入信号，它在所有模式下为 UART 提供数据。 |
| 52 | 42 | | | | TXD1 | 输出 | H | TXD1 是来自 8051 UART1 的高电平有效输出引脚，它在同步模式下提供输出时钟，并在异步模式下输出数据。 |
| 51 | 41 | | | | RXD0 | 输入 | N/A | RXD0 是提供给 8051 UART0 的高电平有效 RXD0 输入，它在所有模式下为 UART 提供数据。 |

表 11. FX2LP 引脚说明 (续)

| 128 TQFP | 100 TQFP | 56 SSOP | 56 QFN | 56 VFBGA | 名称 | 类型 | 默认值 | 说明 |
|----------|----------|---------|--------|----------|--------|-----|-----|-------------------------------------------------------------------------------------------------------------------------|
| 50 | 40 | | | | TXD0 | 输出 | H | TXD0 是来自 8051 UART0 的高电平有效 TXD0 输出, 它在同步模式下提供输出时钟, 并在异步模式下输出数据。 |
| 42 | | | | | CS# | 输出 | H | CS# 低电平有效, 外部存储器芯片选择。 |
| 41 | 32 | | | | WR# | 输出 | H | WR# 低电平有效, 外部存储器写入选通脉冲输出。 |
| 40 | 31 | | | | RD# | 输出 | H | RD# 低电平有效, 外部存储器读取选通脉冲输出。 |
| 38 | | | | | OE# | 输出 | H | OE# 低电平有效, 外部存储器输出使能。 |
| 33 | 27 | 21 | 14 | 2H | 保留 | 输入 | N/A | 保留。接地。 |
| 101 | 79 | 51 | 44 | 7B | WAKEUP | 输入 | N/A | USB 唤醒。如果 8051 处于挂起状态, 则触发该引脚会启动振荡器并中断 8051 以使其退出挂起模式。将 WAKEUP 保持为触发状态会阻止 EZ-USB [®] 芯片挂起。该引脚可编程极性 (WAKEUP.4)。 |
| 36 | 29 | 22 | 15 | 3F | SCL | OD | Z | 用于 I ² C 接口的时钟。串联 2.2K 电阻与 VCC 连接, 即使没有连接 I ² C 外设也是如此。 |
| 37 | 30 | 23 | 16 | 3G | SDA | OD | Z | I ² C 兼容接口的数据。串联 2.2K 电阻与 VCC 连接, 即使没有连接与 I ² C 兼容的外设也是如此。 |
| 2 | 1 | 6 | 55 | 5A | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 26 | 20 | 18 | 11 | 1G | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 43 | 33 | 24 | 17 | 7E | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 48 | 38 | | | | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 64 | 49 | 34 | 27 | 8E | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 68 | 53 | | | | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 81 | 66 | 39 | 32 | 5C | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 100 | 78 | 50 | 43 | 5B | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 107 | 85 | | | | VCC | 电源 | N/A | VCC。连接至 3.3V 电源。 |
| 3 | 2 | 7 | 56 | 4B | GND | 地线 | N/A | 地线。 |
| 27 | 21 | 19 | 12 | 1H | GND | 地线 | N/A | 地线。 |
| 49 | 39 | | | | GND | 地线 | N/A | 地线。 |
| 58 | 48 | 33 | 26 | 7D | GND | 地线 | N/A | 地线。 |
| 65 | 50 | 35 | 28 | 8D | GND | 地线 | N/A | 地线。 |
| 80 | 65 | | | | GND | 地线 | N/A | 地线。 |
| 93 | 75 | 48 | 41 | 4C | GND | 地线 | N/A | 地线。 |
| 116 | 94 | | | | GND | 地线 | N/A | 地线。 |
| 125 | 99 | 4 | 53 | 4A | GND | 地线 | N/A | 地线。 |
| 14 | 13 | | | | NC | N/A | N/A | 无连接。该引脚必须保留为开放状态。 |
| 15 | 14 | | | | NC | N/A | N/A | 无连接。该引脚必须保留为开放状态。 |
| 16 | 15 | | | | NC | N/A | N/A | 无连接。该引脚必须保留为开放状态。 |

5. 寄存器摘要

FX2LP TRM 中更为详细地说明了 FX2LP 寄存器位定义。

表 12. FX2LP 寄存器摘要

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|------|-----|-------------------------------|-------------------------------|---------|---------|----------|-----------------|---------|-----------|-----------|-----------|------------------|----------|
| | | GPIF 波形存储器 | | | | | | | | | | | |
| E400 | 128 | WAVEDATA | GPIF 波形描述符 0、1、2、3 数据 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| E480 | 128 | 保留 | | | | | | | | | | | |
| | | 常规配置 | | | | | | | | | | | |
| E50D | | GPCR2 | 通用配置寄存器 2 | 保留 | 保留 | 保留 | FULL SPEED ONLY | 保留 | 保留 | 保留 | 保留 | 00000000 | R |
| E600 | 1 | CPUCS | CPU 控制和状态 | 0 | 0 | PORTCSTB | CLKSPD1 | CLKSPD0 | CLKINV | CLKOE | 8051RES | 00000010 | rrbbbbbr |
| E601 | 1 | IFCONFIG | 接口配置 (端口、GPIF、Slave FIFO) | IFCLKSR | 3048MHZ | IFCLKOE | IFCLKPOL | ASYNC | GSTATE | IFCFG1 | IFCFG0 | 10000000 | RW |
| E602 | 1 | PINFLAGSAB ^[11] | Slave FIFO FLAGA 和 FLAGB 引脚配置 | FLAGB3 | FLAGB2 | FLAGB1 | FLAGB0 | FLAGA3 | FLAGA2 | FLAGA1 | FLAGA0 | 00000000 | RW |
| E603 | 1 | PINFLAGSCD ^[11] | Slave FIFO FLAGC 和 FLAGD 引脚配置 | FLAGD3 | FLAGD2 | FLAGD1 | FLAGD0 | FLAGC3 | FLAGC2 | FLAGC1 | FLAGC0 | 00000000 | RW |
| E604 | 1 | FIFORESET ^[11] | 将 FIFOs 恢复到默认状态 | NAKALL | 0 | 0 | 0 | EP3 | EP2 | EP1 | EP0 | xxxxxxxx | W |
| E605 | 1 | BREAKPT | 断点控制 | 0 | 0 | 0 | 0 | BREAK | BPPULSE | BPEN | 0 | 00000000 | rrrrbbbr |
| E606 | 1 | BPADDRH | 断点高地址 | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | xxxxxxxx | RW |
| E607 | 1 | BPADDRL | 断点低地址 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | xxxxxxxx | RW |
| E608 | 1 | UART230 | 230 K 波特率的内部生成参考时钟 | 0 | 0 | 0 | 0 | 0 | 0 | 230UART1 | 230UART0 | 00000000 | rrrrrrbb |
| E609 | 1 | FIFOPINPOLAR ^[11] | Slave FIFO 接口引脚极性 | 0 | 0 | PKTEND | SLOE | SLRD | SLWR | EF | FF | 00000000 | rrbbbbbb |
| E60A | 1 | REVID | 芯片修订版本 | rv7 | rv6 | rv5 | rv4 | rv3 | rv2 | rv1 | rv0 | RevA 00000001 | R |
| E60B | 1 | REVCTL ^[11] | 芯片修订版本控制 | 0 | 0 | 0 | 0 | 0 | 0 | dyn_out | enh_pkt | 00000000 | rrrrrrbb |
| | | UDMA | | | | | | | | | | | |
| E60C | 1 | GPIFHOLDAMOUNT | MSTB 保留时间 (UDMA) | 0 | 0 | 0 | 0 | 0 | 0 | HOLDTIME1 | HOLDTIME0 | 00000000 | rrrrrrbb |
| | 3 | 保留 | | | | | | | | | | | |
| | | 端点配置 | | | | | | | | | | | |
| E610 | 1 | EP1OUTCFG | 端点 1-OUT 配置 | VALID | 0 | TYPE1 | TYPE0 | 0 | 0 | 0 | 0 | 10100000 | brbbrrrr |
| E611 | 1 | EP1INCFG | 端点 1-IN 配置 | VALID | 0 | TYPE1 | TYPE0 | 0 | 0 | 0 | 0 | 10100000 | brbbrrrr |
| E612 | 1 | EP2CFG | 端点 2 配置 | VALID | DIR | TYPE1 | TYPE0 | SIZE | 0 | BUF1 | BUF0 | 10100010 | bbbbbrbb |
| E613 | 1 | EP4CFG | 端点 4 配置 | VALID | DIR | TYPE1 | TYPE0 | 0 | 0 | 0 | 0 | 10100000 | bbbbrrrr |
| E614 | 1 | EP6CFG | 端点 6 配置 | VALID | DIR | TYPE1 | TYPE0 | SIZE | 0 | BUF1 | BUF0 | 11100010 | bbbbbrbb |
| E615 | 1 | EP8CFG | 端点 8 配置 | VALID | DIR | TYPE1 | TYPE0 | 0 | 0 | 0 | 0 | 11100000 | bbbbrrrr |
| | 2 | 保留 | | | | | | | | | | | |
| E618 | 1 | EP2FIFOCFG ^[11] | 端点 2/Slave FIFO 配置 | 0 | INFM1 | OEP1 | AUTOOUT | AUTOIN | ZEROLENIN | 0 | WORDWIDE | 00000101 | rbbbbbbr |
| E619 | 1 | EP4FIFOCFG ^[11] | 端点 4/Slave FIFO 配置 | 0 | INFM1 | OEP1 | AUTOOUT | AUTOIN | ZEROLENIN | 0 | WORDWIDE | 00000101 | rbbbbbbr |
| E61A | 1 | EP6FIFOCFG ^[11] | 端点 6/Slave FIFO 配置 | 0 | INFM1 | OEP1 | AUTOOUT | AUTOIN | ZEROLENIN | 0 | WORDWIDE | 00000101 | rbbbbbbr |
| E61B | 1 | EP8FIFOCFG ^[11] | 端点 8/Slave FIFO 配置 | 0 | INFM1 | OEP1 | AUTOOUT | AUTOIN | ZEROLENIN | 0 | WORDWIDE | 00000101 | rbbbbbbr |
| E61C | 4 | 保留 | | | | | | | | | | | |
| E620 | 1 | EP2AUTOINLENH ^[11] | 端点 2 AUTOIN 数据包长度 H | 0 | 0 | 0 | 0 | 0 | PL10 | PL9 | PL8 | 00000010 | rrrrrrbb |
| E621 | 1 | EP2AUTOINLENL ^[11] | 端点 2 AUTOIN 数据包长度 L | PL7 | PL6 | PL5 | PL4 | PL3 | PL2 | PL1 | PL0 | 00000000 | RW |
| E622 | 1 | EP4AUTOINLENH ^[11] | 端点 4 AUTOIN 数据包长度 H | 0 | 0 | 0 | 0 | 0 | 0 | PL9 | PL8 | 00000010 | rrrrrrbb |
| E623 | 1 | EP4AUTOINLENL ^[11] | 端点 4 AUTOIN 数据包长度 L | PL7 | PL6 | PL5 | PL4 | PL3 | PL2 | PL1 | PL0 | 00000000 | RW |
| E624 | 1 | EP6AUTOINLENH ^[11] | 端点 6 AUTOIN 数据包长度 H | 0 | 0 | 0 | 0 | 0 | PL10 | PL9 | PL8 | 00000010 | rrrrrrbb |
| E625 | 1 | EP6AUTOINLENL ^[11] | 端点 6 AUTOIN 数据包长度 L | PL7 | PL6 | PL5 | PL4 | PL3 | PL2 | PL1 | PL0 | 00000000 | RW |
| E626 | 1 | EP8AUTOINLENH ^[11] | 端点 8 AUTOIN 数据包长度 H | 0 | 0 | 0 | 0 | 0 | 0 | PL9 | PL8 | 00000010 | rrrrrrbb |
| E627 | 1 | EP8AUTOINLENL ^[11] | 端点 8 AUTOIN 数据包长度 L | PL7 | PL6 | PL5 | PL4 | PL3 | PL2 | PL1 | PL0 | 00000000 | RW |
| E628 | 1 | ECCCFG | ECC 配置 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ECCM | 00000000 | rrrrrrbb |
| E629 | 1 | ECCRESET | ECC 复位 | x | x | x | x | x | x | x | x | 00000000 | W |
| E62A | 1 | ECC1B0 | ECC1 字节 0 地址 | LINE15 | LINE14 | LINE13 | LINE12 | LINE11 | LINE10 | LINE9 | LINE8 | 00000000 | R |

注
11. 对这些寄存器的读取和写入可能需要同步延迟，请参见《技术参考手册》中的“同步延迟”。

表 12. FX2LP 寄存器摘要 (续)

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|------|----|-------------------------------|----------------------------------|----------------------|----------------------|----------------------|----------------------|----------------------|--------|--------|---------------------|----------|----------|
| E62B | 1 | ECC1B1 | ECC1 字节 1 地址 | LINE7 | LINE6 | LINE5 | LINE4 | LINE3 | LINE2 | LINE1 | LINE0 | 00000000 | R |
| E62C | 1 | ECC1B2 | ECC1 字节 2 地址 | COL5 | COL4 | COL3 | COL2 | COL1 | COL0 | LINE17 | LINE16 | 00000000 | R |
| E62D | 1 | ECC2B0 | ECC1 字节 0 地址 | LINE15 | LINE14 | LINE13 | LINE12 | LINE11 | LINE10 | LINE9 | LINE8 | 00000000 | R |
| E62E | 1 | ECC2B1 | ECC1 字节 1 地址 | LINE7 | LINE6 | LINE5 | LINE4 | LINE3 | LINE2 | LINE1 | LINE0 | 00000000 | R |
| E62F | 1 | ECC2B2 | ECC1 字节 2 地址 | COL5 | COL4 | COL3 | COL2 | COL1 | COL0 | 0 | 0 | 00000000 | R |
| E630 | 1 | EP2FIFOFFH ^[11] | 端点 2/Slave FIFO 可编程标志 H | DECIS | PKTSTAT | IN:PKTS[2] OUT:PFC12 | IN:PKTS[1] OUT:PFC11 | IN:PKTS[0] OUT:PFC10 | 0 | PFC9 | PFC8 | 10001000 | bbbbbrbb |
| E630 | 1 | EP2FIFOFFL ^[11] | 端点 2/Slave FIFO 可编程标志 L | DECIS | PKTSTAT | OUT:PFC12 | OUT:PFC11 | OUT:PFC10 | 0 | PFC9 | IN:PKTS[2] OUT:PFC8 | 10001000 | bbbbbrbb |
| E631 | 1 | EP2FIFOPFL ^[11] | 端点 2/Slave FIFO 可编程标志 L | PFC7 | PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E631 | 1 | EP2FIFOPFH ^[11] | 端点 2/Slave FIFO 可编程标志 H | IN:PKTS[1] OUT:PFC7 | IN:PKTS[0] OUT:PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E632 | 1 | EP4FIFOFFH ^[11] | 端点 4/Slave FIFO 可编程标志 H | DECIS | PKTSTAT | 0 | IN:PKTS[1] OUT:PFC10 | IN:PKTS[0] OUT:PFC9 | 0 | 0 | PFC8 | 10001000 | bbrbbrbb |
| E632 | 1 | EP4FIFOFFL ^[11] | 端点 4/Slave FIFO 可编程标志 L | DECIS | PKTSTAT | 0 | OUT:PFC10 | OUT:PFC9 | 0 | 0 | PFC8 | 10001000 | bbrbbrbb |
| E633 | 1 | EP4FIFOPFL ^[11] | 端点 4/Slave FIFO 可编程标志 L | PFC7 | PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E633 | 1 | EP4FIFOPFH ^[11] | 端点 4/Slave FIFO 可编程标志 H | IN: PKTS[1] OUT:PFC7 | IN: PKTS[0] OUT:PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E634 | 1 | EP6FIFOFFH ^[11] | 端点 6/Slave FIFO 可编程标志 H | DECIS | PKTSTAT | IN:PKTS[2] OUT:PFC12 | IN:PKTS[1] OUT:PFC11 | IN:PKTS[0] OUT:PFC10 | 0 | PFC9 | PFC8 | 00001000 | bbbbbrbb |
| E634 | 1 | EP6FIFOFFL ^[11] | 端点 6/Slave FIFO 可编程标志 L | DECIS | PKTSTAT | OUT:PFC12 | OUT:PFC11 | OUT:PFC10 | 0 | PFC9 | IN:PKTS[2] OUT:PFC8 | 00001000 | bbbbbrbb |
| E635 | 1 | EP6FIFOPFL ^[11] | 端点 6/Slave FIFO 可编程标志 L | PFC7 | PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E635 | 1 | EP6FIFOPFH ^[11] | 端点 6/Slave FIFO 可编程标志 H | IN:PKTS[1] OUT:PFC7 | IN:PKTS[0] OUT:PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E636 | 1 | EP8FIFOFFH ^[11] | 端点 8/Slave FIFO 可编程标志 H | DECIS | PKTSTAT | 0 | IN:PKTS[1] OUT:PFC10 | IN:PKTS[0] OUT:PFC9 | 0 | 0 | PFC8 | 00001000 | bbrbbrbb |
| E636 | 1 | EP8FIFOFFL ^[11] | 端点 8/Slave FIFO 可编程标志 L | DECIS | PKTSTAT | 0 | OUT:PFC10 | OUT:PFC9 | 0 | 0 | PFC8 | 00001000 | bbrbbrbb |
| E637 | 1 | EP8FIFOPFL ^[11] | 端点 8/Slave FIFO 可编程标志 L | PFC7 | PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| E637 | 1 | EP8FIFOPFH ^[11] | 端点 8/Slave FIFO 可编程标志 H | IN:PKTS[1] OUT:PFC7 | IN:PKTS[0] OUT:PFC6 | PFC5 | PFC4 | PFC3 | PFC2 | PFC1 | PFC0 | 00000000 | RW |
| | 8 | 保留 | | | | | | | | | | | |
| E640 | 1 | EP2ISOINPKTS | 每个帧 (1-3) 的 EP2 (如果是 ISO) 输入数据包数 | AADJ | 0 | 0 | 0 | 0 | 0 | INPPF1 | INPPF0 | 00000001 | brrrrbbb |
| E641 | 1 | EP4ISOINPKTS | 每个帧 (1-3) 的 EP4 (如果是 ISO) 输入数据包数 | AADJ | 0 | 0 | 0 | 0 | 0 | INPPF1 | INPPF0 | 00000001 | brrrrrrr |
| E642 | 1 | EP6ISOINPKTS | 每个帧 (1-3) 的 EP6 (如果是 ISO) 输入数据包数 | AADJ | 0 | 0 | 0 | 0 | 0 | INPPF1 | INPPF0 | 00000001 | brrrrbbb |
| E643 | 1 | EP8ISOINPKTS | 每个帧 (1-3) 的 EP8 (如果是 ISO) 输入数据包数 | AADJ | 0 | 0 | 0 | 0 | 0 | INPPF1 | INPPF0 | 00000001 | brrrrrrr |
| E644 | 4 | 保留 | | | | | | | | | | | |
| E648 | 1 | INPKTEND ^[11] | 强制输入数据包结束 | 跳过 | 0 | 0 | 0 | EP3 | EP2 | EP1 | EP0 | xxxxxxx | W |
| E649 | 7 | OUTPKTEND ^[11] | 强制输出数据包结束 | 跳过 | 0 | 0 | 0 | EP3 | EP2 | EP1 | EP0 | xxxxxxx | W |
| | | 中断 | | | | | | | | | | | |
| E650 | 1 | EP2FIFOIE ^[11] | 端点 2 Slave FIFO 标志中断使能 | 0 | 0 | 0 | 0 | EDGEPF | PF | EF | FF | 00000000 | RW |
| E651 | 1 | EP2FIFOIRQ ^[11,12] | 端点 2 Slave FIFO 标志中断请求 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000000 | rrrrrbbb |
| E652 | 1 | EP4FIFOIE ^[11] | 端点 4 Slave FIFO 标志中断使能 | 0 | 0 | 0 | 0 | EDGEPF | PF | EF | FF | 00000000 | RW |
| E653 | 1 | EP4FIFOIRQ ^[11,12] | 端点 4 Slave FIFO 标志中断请求 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000000 | rrrrrbbb |
| E654 | 1 | EP6FIFOIE ^[11] | 端点 6 Slave FIFO 标志中断使能 | 0 | 0 | 0 | 0 | EDGEPF | PF | EF | FF | 00000000 | RW |
| E655 | 1 | EP6FIFOIRQ ^[11,12] | 端点 6 Slave FIFO 标志中断请求 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000000 | rrrrrbbb |
| E656 | 1 | EP8FIFOIE ^[11] | 端点 8 Slave FIFO 标志中断使能 | 0 | 0 | 0 | 0 | EDGEPF | PF | EF | FF | 00000000 | RW |
| E657 | 1 | EP8FIFOIRQ ^[11,12] | 端点 8 Slave FIFO 标志中断请求 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000000 | rrrrrbbb |
| E658 | 1 | IBNIE | IN-BULK-NAK 中断使能 | 0 | 0 | EP8 | EP6 | EP4 | EP2 | EP1 | EP0 | 00000000 | RW |
| E659 | 1 | IBNIRQ ^[12] | IN-BULK-NAK 中断请求 | 0 | 0 | EP8 | EP6 | EP4 | EP2 | EP1 | EP0 | 00xxxxxx | rrbbbbbb |
| E65A | 1 | NAKIE | 端点 Ping-NAK/IBN 中断使能 | EP8 | EP6 | EP4 | EP2 | EP1 | EP0 | 0 | IBN | 00000000 | RW |

注
12. 该寄存器只能复位，而不能设置。

表 12. FX2LP 寄存器摘要 (续)

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|----------|----|---------------------------|--------------------------------|----------|--------|---------|---------|---------|-----------|-----------|-----------|----------|----------|
| E65B | 1 | NAKIRQ ^[12] | 端点 Ping-NAK/IBN 中断请求 | EP8 | EP6 | EP4 | EP2 | EP1 | EP0 | 0 | IBN | xxxxxx0x | bbbbbrtb |
| E65C | 1 | USBIE | USB 中断使能 | 0 | EP0ACK | HSGRANT | URES | SUSP | SUTOK | SOF | SUDAV | 00000000 | RW |
| E65D | 1 | USBIRQ ^[12] | USB 中断请求 | 0 | EP0ACK | HSGRANT | URES | SUSP | SUTOK | SOF | SUDAV | 0xxxxxxx | rbbbbbbb |
| E65E | 1 | EPIE | 端点中断使能 | EP8 | EP6 | EP4 | EP2 | EP1OUT | EP1IN | EP0OUT | EP0IN | 00000000 | RW |
| E65F | 1 | EPIRQ ^[12] | 端点中断请求 | EP8 | EP6 | EP4 | EP2 | EP1OUT | EP1IN | EP0OUT | EP0IN | 0 | RW |
| E660 | 1 | GPIFIE ^[11] | GPIF 中断使能 | 0 | 0 | 0 | 0 | 0 | 0 | GPIFWF | GPIFDONE | 00000000 | RW |
| E661 | 1 | GPIFIRQ ^[11] | GPIF 中断请求 | 0 | 0 | 0 | 0 | 0 | 0 | GPIFWF | GPIFDONE | 000000xx | RW |
| E662 | 1 | USBERRIE | USB 错误中断使能 | ISOEP8 | ISOEP6 | ISOEP4 | ISOEP2 | 0 | 0 | 0 | ERRLIMIT | 00000000 | RW |
| E663 | 1 | USBERRIRQ ^[12] | USB 错误中断请求 | ISOEP8 | ISOEP6 | ISOEP4 | ISOEP2 | 0 | 0 | 0 | ERRLIMIT | 0000000x | bbbbrrtb |
| E664 | 1 | ERRCNTLIM | USB 错误计数器和限制 | EC3 | EC2 | EC1 | EC0 | LIMIT3 | LIMIT2 | LIMIT1 | LIMIT0 | xxxx0100 | rrrrbbbb |
| E665 | 1 | CLRERRCNT | 清除错误计数器 EC3:0 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| E666 | 1 | INT2IVEC | 中断 2 (USB) 自动向量化 | 0 | I2V4 | I2V3 | I2V2 | I2V1 | I2V0 | 0 | 0 | 00000000 | R |
| E667 | 1 | INT4IVEC | 中断 4 (Slave FIFO 和 GPIF) 自动向量化 | 1 | 0 | I4V3 | I4V2 | I4V1 | I4V0 | 0 | 0 | 10000000 | R |
| E668 | 1 | INTSET-UP | 中断 2 和 4 设置 | 0 | 0 | 0 | 0 | AV2EN | 0 | INT4SRC | AV4EN | 00000000 | RW |
| E669 | 7 | 保留 | | | | | | | | | | | |
| 输入 / 输出 | | | | | | | | | | | | | |
| E670 | 1 | PORTACFG | IO PORTA 备选配置 | FLAGD | SLCS | 0 | 0 | 0 | 0 | INT1 | INT0 | 00000000 | RW |
| E671 | 1 | PORTCCFG | IO PORTC 备选配置 | GPIFA7 | GPIFA6 | GPIFA5 | GPIFA4 | GPIFA3 | GPIFA2 | GPIFA1 | GPIFA0 | 00000000 | RW |
| E672 | 1 | PORTECFG | IO PORTE 备选配置 | GPIFA8 | T2EX | INT6 | RXD1OUT | RXD0OUT | T2OUT | T1OUT | T0OUT | 00000000 | RW |
| E673 | 4 | 保留 | | | | | | | | | | | |
| E677 | 1 | 保留 | | | | | | | | | | | |
| E678 | 1 | I ² CS | I ² C 总线控制和状态 | START | STOP | LASTRD | ID1 | ID0 | BERR | ACK | DONE | 000xx000 | bbrrrrrr |
| E679 | 1 | I2DAT | I ² C 总线数据 | d7 | d6 | d5 | d4 | d3 | d2 | d1 | d0 | xxxxxxx | RW |
| E67A | 1 | I ² CTL | I ² C 总线控制 | 0 | 0 | 0 | 0 | 0 | 0 | STOPIE | 400KHZ | 00000000 | RW |
| E67B | 1 | XAUTODAT1 | Autopt1 MOVX 访问 (当 APTREN=1 时) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| E67C | 1 | XAUTODAT2 | Autopt2 MOVX 访问 (当 APTREN=1 时) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| UDMA CRC | | | | | | | | | | | | | |
| E67D | 1 | UDMACRCH ^[11] | UDMA CRC MSB | CRC15 | CRC14 | CRC13 | CRC12 | CRC11 | CRC10 | CRC9 | CRC8 | 01001010 | RW |
| E67E | 1 | UDMACRCL ^[11] | UDMA CRC LSB | CRC7 | CRC6 | CRC5 | CRC4 | CRC3 | CRC2 | CRC1 | CRC0 | 10111010 | RW |
| E67F | 1 | UDMACRC-QUALIFIER | UDMA CRC 限定符 | QENABLE | 0 | 0 | 0 | QSTATE | Q SIGNAL2 | Q SIGNAL1 | Q SIGNAL0 | 00000000 | brrrbbbb |
| USB 控制 | | | | | | | | | | | | | |
| E680 | 1 | USBCS | USB 控制和状态 | HSM | 0 | 0 | 0 | DISCON | NOSYNSOF | RENUM | SIGRSUME | x0000000 | rrrrbbbb |
| E681 | 1 | SUSPEND | 将芯片置于挂起状态 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| E682 | 1 | WAKEUPCS | 唤醒控制和状态 | WU2 | WU | WU2POL | WUPOL | 0 | DPEN | WU2EN | WUEN | xx000101 | bbbbrrtb |
| E683 | 1 | TOGCTL | 切换控制 | Q | S | R | IO | EP3 | EP2 | EP1 | EP0 | x0000000 | rrrbrrtb |
| E684 | 1 | USBFRAMEH | USB 帧计数 H | 0 | 0 | 0 | 0 | 0 | FC10 | FC9 | FC8 | 00000xxx | R |
| E685 | 1 | USBFRAMEL | USB 帧计数 L | FC7 | FC6 | FC5 | FC4 | FC3 | FC2 | FC1 | FC0 | xxxxxxx | R |
| E686 | 1 | MICROFRAME | 微型帧计数, 0-7 | 0 | 0 | 0 | 0 | 0 | MF2 | MF1 | MF0 | 00000xxx | R |
| E687 | 1 | FNADDR | USB 功能地址 | 0 | FA6 | FA5 | FA4 | FA3 | FA2 | FA1 | FA0 | 0xxxxxxx | R |
| E688 | 2 | 保留 | | | | | | | | | | | |
| 端点 | | | | | | | | | | | | | |
| E68A | 1 | EP0BCH ^[11] | 端点 0 字节计数 H | (BC15) | (BC14) | (BC13) | (BC12) | (BC11) | (BC10) | (BC9) | (BC8) | xxxxxxx | RW |
| E68B | 1 | EP0BCL ^[11] | 端点 0 字节计数 L | (BC7) | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | xxxxxxx | RW |
| E68C | 1 | 保留 | | | | | | | | | | | |
| E68D | 1 | EP1OUTBC | 端点 1 OUT 字节计数 | 0 | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | 0xxxxxxx | RW |
| E68E | 1 | 保留 | | | | | | | | | | | |
| E68F | 1 | EP1INBC | 端点 1 IN 字节计数 | 0 | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | 0xxxxxxx | RW |
| E690 | 1 | EP2BCH ^[11] | 端点 2 字节计数 H | 0 | 0 | 0 | 0 | 0 | BC10 | BC9 | BC8 | 00000xxx | RW |
| E691 | 1 | EP2BCL ^[11] | 端点 2 字节计数 L | BC7/SKIP | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | xxxxxxx | RW |
| E692 | 2 | 保留 | | | | | | | | | | | |
| E694 | 1 | EP4BCH ^[11] | 端点 4 字节计数 H | 0 | 0 | 0 | 0 | 0 | 0 | BC9 | BC8 | 000000xx | RW |
| E695 | 1 | EP4BCL ^[11] | 端点 4 字节计数 L | BC7/SKIP | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | xxxxxxx | RW |
| E696 | 2 | 保留 | | | | | | | | | | | |
| E698 | 1 | EP6BCH ^[11] | 端点 6 字节计数 H | 0 | 0 | 0 | 0 | 0 | BC10 | BC9 | BC8 | 00000xxx | RW |
| E699 | 1 | EP6BCL ^[11] | 端点 6 字节计数 L | BC7/SKIP | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | xxxxxxx | RW |
| E69A | 2 | 保留 | | | | | | | | | | | |
| E69C | 1 | EP8BCH ^[11] | 端点 8 字节计数 H | 0 | 0 | 0 | 0 | 0 | 0 | BC9 | BC8 | 000000xx | RW |
| E69D | 1 | EP8BCL ^[11] | 端点 8 字节计数 L | BC7/SKIP | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | xxxxxxx | RW |

表 12. FX2LP 寄存器摘要 (续)

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|------|----|--------------------------|--------------------------------|-----------|-----------|-------------|-------------|---------|---------|---------|---------|----------|-----------|
| E69E | 2 | 保留 | | | | | | | | | | | |
| E6A0 | 1 | EP0CS | 端点 0 控制和状态 | HSNAK | 0 | 0 | 0 | 0 | 0 | BUSY | STALL | 10000000 | bbbbbbbrb |
| E6A1 | 1 | EP1OUTCS | 端点 1 OUT 控制和状态 | 0 | 0 | 0 | 0 | 0 | 0 | BUSY | STALL | 00000000 | bbbbbbbrb |
| E6A2 | 1 | EP1INCS | 端点 1 IN 控制和状态 | 0 | 0 | 0 | 0 | 0 | 0 | BUSY | STALL | 00000000 | bbbbbbbrb |
| E6A3 | 1 | EP2CS | 端点 2 控制和状态 | 0 | NPAK2 | NPAK1 | NPAK0 | FULL | EMPTY | 0 | STALL | 00101000 | rrrrrrrb |
| E6A4 | 1 | EP4CS | 端点 4 控制和状态 | 0 | 0 | NPAK1 | NPAK0 | FULL | EMPTY | 0 | STALL | 00101000 | rrrrrrrb |
| E6A5 | 1 | EP6CS | 端点 6 控制和状态 | 0 | NPAK2 | NPAK1 | NPAK0 | FULL | EMPTY | 0 | STALL | 00000100 | rrrrrrrb |
| E6A6 | 1 | EP8CS | 端点 8 控制和状态 | 0 | 0 | NPAK1 | NPAK0 | FULL | EMPTY | 0 | STALL | 00000100 | rrrrrrrb |
| E6A7 | 1 | EP2FIFOFLGS | 端点 2 Slave FIFO 标志 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000010 | R |
| E6A8 | 1 | EP4FIFOFLGS | 端点 4 Slave FIFO 标志 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000010 | R |
| E6A9 | 1 | EP6FIFOFLGS | 端点 6 Slave FIFO 标志 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000110 | R |
| E6AA | 1 | EP8FIFOFLGS | 端点 8 Slave FIFO 标志 | 0 | 0 | 0 | 0 | 0 | PF | EF | FF | 00000110 | R |
| E6AB | 1 | EP2FIOBCH | 端点 2 Slave FIFO 字节总计 H | 0 | 0 | 0 | BC12 | BC11 | BC10 | BC9 | BC8 | 00000000 | R |
| E6AC | 1 | EP2FIOBCL | 端点 2 Slave FIFO 字节总计 L | BC7 | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | 00000000 | R |
| E6AD | 1 | EP4FIOBCH | 端点 4 Slave FIFO 字节总计 H | 0 | 0 | 0 | 0 | 0 | BC10 | BC9 | BC8 | 00000000 | R |
| E6AE | 1 | EP4FIOBCL | 端点 4 Slave FIFO 字节总计 L | BC7 | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | 00000000 | R |
| E6AF | 1 | EP6FIOBCH | 端点 6 Slave FIFO 字节总计 H | 0 | 0 | 0 | 0 | BC11 | BC10 | BC9 | BC8 | 00000000 | R |
| E6B0 | 1 | EP6FIOBCL | 端点 6 Slave FIFO 字节总计 L | BC7 | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | 00000000 | R |
| E6B1 | 1 | EP8FIOBCH | 端点 8 Slave FIFO 字节总计 H | 0 | 0 | 0 | 0 | 0 | BC10 | BC9 | BC8 | 00000000 | R |
| E6B2 | 1 | EP8FIOBCL | 端点 8 Slave FIFO 字节总计 L | BC7 | BC6 | BC5 | BC4 | BC3 | BC2 | BC1 | BC0 | 00000000 | R |
| E6B3 | 1 | SUDPTRH | Setup 数据指针高地址字节 | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | xxxxxxxx | RW |
| E6B4 | 1 | SUDPTRL | Setup 数据指针低地址字节 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | 0 | xxxxxxx0 | bbbbbbbrb |
| E6B5 | 1 | SUDPTRCTL | Setup 数据指针自动模式 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SDPAUTO | 00000001 | RW |
| | 2 | 保留 | | | | | | | | | | | |
| E6B8 | 8 | SET-UPDAT | 8 字节的 Setup 数据 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | R |
| | | | SET-UPDAT[0] = bmRequestType | | | | | | | | | | |
| | | | SET-UPDAT[1] = bmRequest | | | | | | | | | | |
| | | | SET-UPDAT[2:3] = wValue | | | | | | | | | | |
| | | | SET-UPDAT[4:5] = wIndex | | | | | | | | | | |
| | | | SET-UPDAT[6:7] = wLength | | | | | | | | | | |
| | | GPIF | | | | | | | | | | | |
| E6C0 | 1 | GPIFWFSELECT | 波形选择器 | SINGLEWR1 | SINGLEWR0 | SINGLERD1 | SINGLERD0 | FIFOWR1 | FIFOWR0 | FIFORD1 | FIFORD0 | 11100100 | RW |
| E6C1 | 1 | GPIFIDLECS | GPIF 已完成, GPIF IDLE 驱动模式 | DONE | 0 | 0 | 0 | 0 | 0 | 0 | IDLEDRV | 10000000 | RW |
| E6C2 | 1 | GPIFIDLECTL | 不活动总线, CTL 状态 | 0 | 0 | CTL5 | CTL4 | CTL3 | CTL2 | CTL1 | CTL0 | 11111111 | RW |
| E6C3 | 1 | GPIFCTLCFG | CTL 驱动类型 | TRICTL | 0 | CTL5 | CTL4 | CTL3 | CTL2 | CTL1 | CTL0 | 00000000 | RW |
| E6C4 | 1 | GPIFADRH ^[11] | GPIF 地址 H | 0 | 0 | 0 | 0 | 0 | 0 | 0 | GPIFA8 | 00000000 | RW |
| E6C5 | 1 | GPIFADRL ^[11] | GPIF 地址 L | GPIFA7 | GPIFA6 | GPIFA5 | GPIFA4 | GPIFA3 | GPIFA2 | GPIFA1 | GPIFA0 | 00000000 | RW |
| | | FLOWSTATE | | | | | | | | | | | |
| E6C6 | 1 | FLOWSTATE | 流状态使能和选择器 | FSE | 0 | 0 | 0 | 0 | FS2 | FS1 | FS0 | 00000000 | brrrrrbbb |
| E6C7 | 1 | FLOWLOGIC | 流状态逻辑 | LFUNC1 | LFUNC0 | TERMA2 | TERMA1 | TERMA0 | TERMB2 | TERMB1 | TERMB0 | 00000000 | RW |
| E6C8 | 1 | FLOWEQ0CTL | 流状态中的 CTL 引脚状态 (当 Logic = 0 时) | CTL0E3 | CTL0E2 | CTL0E1/CTL5 | CTL0E0/CTL4 | CTL3 | CTL2 | CTL1 | CTL0 | 00000000 | RW |
| E6C9 | 1 | FLOWEQ1CTL | 流状态中的 CTL 引脚状态 (当 Logic = 1 时) | CTL0E3 | CTL0E2 | CTL0E1/CTL5 | CTL0E0/CTL4 | CTL3 | CTL2 | CTL1 | CTL0 | 00000000 | RW |
| E6CA | 1 | FLOWHOLDOFF | 延迟配置 | HOPERIOD3 | HOPERIOD2 | HOPERIOD1 | HOPERIOD0 | HOSTATE | HOCTL2 | HOCTL1 | HOCTL0 | 00010010 | RW |
| E6CB | 1 | FLOWSTB | 流状态选通脉冲配置 | SLAVE | RDYASYNC | CTLTOGL | SUSTAIN | 0 | MSTB2 | MSTB1 | MSTB0 | 00100000 | RW |
| E6CC | 1 | FLOWSTBEDGE | 流状态上升 / 下降沿配置 | 0 | 0 | 0 | 0 | 0 | 0 | FALLING | RISING | 00000001 | rrrrrrbbb |
| E6CD | 1 | FLOWSTBPERIOD | 主选通脉冲半周期 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000010 | RW |

表 12. FX2LP 寄存器摘要 (续)

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|------|------|-------------------------------|-----------------------------------------------|--------|------|---------|------|------|------|------|-----------|----------|----------|
| E6CE | 1 | GPIFTCB3 ^[11] | GPIF 事务处理计数 字节 3 | TC31 | TC30 | TC29 | TC28 | TC27 | TC26 | TC25 | TC24 | 00000000 | RW |
| E6CF | 1 | GPIFTCB2 ^[11] | GPIF 事务处理计数 字节 2 | TC23 | TC22 | TC21 | TC20 | TC19 | TC18 | TC17 | TC16 | 00000000 | RW |
| E6D0 | 1 | GPIFTCB1 ^[11] | GPIF 事务处理计数 字节 1 | TC15 | TC14 | TC13 | TC12 | TC11 | TC10 | TC9 | TC8 | 00000000 | RW |
| E6D1 | 1 | GPIFTCB0 ^[11] | GPIF 事务处理计数 字节 0 | TC7 | TC6 | TC5 | TC4 | TC3 | TC2 | TC1 | TC0 | 00000001 | RW |
| | 2 | 保留 | | | | | | | | | | 00000000 | RW |
| | | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| E6D2 | 1 | EP2GPIFFLGSEL ^[11] | 端点 2 GPIF 标志选择 | 0 | 0 | 0 | 0 | 0 | 0 | FS1 | FS0 | 00000000 | RW |
| E6D3 | 1 | EP2GPIFPFSTOP | 进度标志上的端点 2 GPIF 停止事务处理 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FIFO2FLAG | 00000000 | RW |
| E6D4 | 1 | EP2GPIFTRIG ^[11] | 端点 2 GPIF 触发器 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| | 3 | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| E6DA | 1 | EP4GPIFFLGSEL ^[11] | 端点 4 GPIF 标志选择 | 0 | 0 | 0 | 0 | 0 | 0 | FS1 | FS0 | 00000000 | RW |
| E6DB | 1 | EP4GPIFPFSTOP | 进度标志上的端点 4 GPIF 停止事务处理 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FIFO4FLAG | 00000000 | RW |
| E6DC | 1 | EP4GPIFTRIG ^[11] | 端点 4 GPIF 触发器 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| | 3 | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| E6E2 | 1 | EP6GPIFFLGSEL ^[11] | 端点 6 GPIF 标志选择 | 0 | 0 | 0 | 0 | 0 | 0 | FS1 | FS0 | 00000000 | RW |
| E6E3 | 1 | EP6GPIFPFSTOP | 进度标志上的端点 6 GPIF 停止事务处理 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FIFO6FLAG | 00000000 | RW |
| E6E4 | 1 | EP6GPIFTRIG ^[11] | 端点 6 GPIF 触发器 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| | 3 | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| | | 保留 | | | | | | | | | | | |
| E6EA | 1 | EP8GPIFFLGSEL ^[11] | 端点 8 GPIF 标志选择 | 0 | 0 | 0 | 0 | 0 | 0 | FS1 | FS0 | 00000000 | RW |
| E6EB | 1 | EP8GPIFPFSTOP | 进度标志上的端点 8 GPIF 停止事务处理 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FIFO8FLAG | 00000000 | RW |
| E6EC | 1 | EP8GPIFTRIG ^[11] | 端点 8 GPIF 触发器 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| | 3 | 保留 | | | | | | | | | | | |
| E6F0 | 1 | XGPIFSGLDATH | GPIF 数据 H (仅 16 位模式) | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | xxxxxxx | RW |
| E6F1 | 1 | XGPIFSGLDATLX | 读取 / 写入 GPIF 数据 L 并触发事务处理 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| E6F2 | 1 | XGPIFSGLDATLNOX | 读取 GPIF 数据 L, 无事务处理触发器 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | R |
| E6F3 | 1 | GPIFREADYCFG | 内部 RDY、同步 / 异步、 RDY 引脚状态 | INTRDY | SAS | TCXRDY5 | 0 | 0 | 0 | 0 | 0 | 00000000 | bbrrrrrr |
| E6F4 | 1 | GPIFREADYSTAT | GPIF 就绪状态 | 0 | 0 | RDY5 | RDY4 | RDY3 | RDY2 | RDY1 | RDY0 | 00xxxxxx | R |
| E6F5 | 1 | GPIFABORT | 中止 GPIF 波形 | x | x | x | x | x | x | x | x | xxxxxxx | W |
| E6F6 | 2 | 保留 | | | | | | | | | | | |
| | | 端点缓冲区 | | | | | | | | | | | |
| E740 | 64 | EP0BUF | EP0-IN/-OUT 缓冲区 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| E780 | 64 | EP10UTBUF | EP1-OUT 缓冲区 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| E7C0 | 64 | EP1INBUF | EP1-IN 缓冲区 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| E800 | 2048 | 保留 | | | | | | | | | | | RW |
| F000 | 1024 | EP2FIFOBUF | 512/1024 字节 EP 2/Slave FIFO 缓冲区 (输入或输出) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| F400 | 512 | EP4FIFOBUF | 512 字节 EP 4/Slave FIFO 缓冲区 (输入或输出) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| F600 | 512 | 保留 | | | | | | | | | | | |
| F800 | 1024 | EP6FIFOBUF | 512/1024 字节 EP 6/Slave FIFO 缓冲区 (输入或输出) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| FC00 | 512 | EP8FIFOBUF | 512 字节 EP 8/Slave FIFO 缓冲区 (输入或输出) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxx | RW |
| FE00 | 512 | 保留 | | | | | | | | | | | |

表 12. FX2LP 寄存器摘要 (续)

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|------|----|------------------------------|-----------------------------------|-------|--------|-------|-------|-------|----------|-----------|--------|------------------|----------|
| xxxx | | PC 配置字节 | | 0 | DISCON | 0 | 0 | 0 | 0 | 0 | 400KHZ | xxxxxxxx [14] | n/a |
| | | 特殊功能寄存器 (SFR) | | | | | | | | | | | |
| 80 | 1 | IOA ^[13] | 端口 A (可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| 81 | 1 | SP | 堆栈指针 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000111 | RW |
| 82 | 1 | DPL0 | 数据指针 0 L | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 00000000 | RW |
| 83 | 1 | DPH0 | 数据指针 0 H | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | 00000000 | RW |
| 84 | 1 | DPL1 ^[13] | 数据指针 1 L | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 00000000 | RW |
| 85 | 1 | DPH1 ^[13] | 数据指针 1 H | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | 00000000 | RW |
| 86 | 1 | DPS ^[13] | 数据指针 0/1 选择 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SEL | 00000000 | RW |
| 87 | 1 | PCON | 电源控制 | SMOD0 | x | 1 | 1 | x | x | x | IDLE | 00110000 | RW |
| 88 | 1 | TCON | 定时器 / 计数器控制 (可位寻址) | TF1 | TR1 | TF0 | TR0 | IE1 | IT1 | IE0 | IT0 | 00000000 | RW |
| 89 | 1 | TMOD | 定时器 / 计数器模式 控制 | GATE | CT | M1 | M0 | GATE | CT | M1 | M0 | 00000000 | RW |
| 8A | 1 | TL0 | Timer 0 重新加载 L | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| 8B | 1 | TL1 | Timer 1 重新加载 L | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| 8C | 1 | TH0 | Timer 0 重新加载 H | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | 00000000 | RW |
| 8D | 1 | TH1 | Timer 1 重新加载 H | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | 00000000 | RW |
| 8E | 1 | CKCON ^[13] | 时钟控制 | x | x | T2M | T1M | T0M | MD2 | MD1 | MD0 | 00000001 | RW |
| 8F | 1 | 保留 | | | | | | | | | | | |
| 90 | 1 | IOB ^[13] | 端口 B (可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| 91 | 1 | EXIF ^[13] | 外部中断标志 | IE5 | IE4 | PCINT | USBNT | 1 | 0 | 0 | 0 | 00001000 | RW |
| 92 | 1 | MPAGE ^[13] | MOVX 的高位地址字节 (使用 @R0 / @R1) | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | 00000000 | RW |
| 93 | 5 | 保留 | | | | | | | | | | | |
| 98 | 1 | SCON0 | 串行端口 0 控制 (可位寻址) | SM0_0 | SM1_0 | SM2_0 | REN_0 | TB8_0 | RB8_0 | TI_0 | RI_0 | 00000000 | RW |
| 99 | 1 | SBUF0 | 串行端口 0 数据缓冲区 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| 9A | 1 | AUTOPTRH1 ^[13] | 自动指针 1 地址 H | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | 00000000 | RW |
| 9B | 1 | AUTOPTRL1 ^[13] | 自动指针 1 地址 L | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 00000000 | RW |
| 9C | 1 | 保留 | | | | | | | | | | | |
| 9D | 1 | AUTOPTRH2 ^[13] | 自动指针 2 地址 H | A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | 00000000 | RW |
| 9E | 1 | AUTOPTRL2 ^[13] | 自动指针 2 地址 L | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | 00000000 | RW |
| 9F | 1 | 保留 | | | | | | | | | | | |
| A0 | 1 | IOC ^[13] | 端口 C (可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| A1 | 1 | INT2CLR ^[13] | 中断 2 清除 | x | x | x | x | x | x | x | x | xxxxxxxx | W |
| A2 | 1 | INT4CLR ^[13] | 中断 4 清除 | x | x | x | x | x | x | x | x | xxxxxxxx | W |
| A3 | 5 | 保留 | | | | | | | | | | | |
| A8 | 1 | IE | 中断使能 (可位寻址) | EA | ES1 | ET2 | ES0 | ET1 | EX1 | ET0 | EX0 | 00000000 | RW |
| A9 | 1 | 保留 | | | | | | | | | | | |
| AA | 1 | EP2468STAT ^[13] | 端点 2、4、6、8 状态标志 | EP8F | EP8E | EP6F | EP6E | EP4F | EP4E | EP2F | EP2E | 01011010 | R |
| AB | 1 | EP24FIFOFLGS ^[13] | 端点 2、4 Slave FIFO 状态标志 | 0 | EP4PF | EP4EF | EP4FF | 0 | EP2PF | EP2EF | EP2FF | 00100010 | R |
| AC | 1 | EP68FIFOFLGS ^[13] | 端点 6、8 Slave FIFO 状态标志 | 0 | EP8PF | EP8EF | EP8FF | 0 | EP6PF | EP6EF | EP6FF | 01100110 | R |
| AD | 2 | 保留 | | | | | | | | | | | |
| AF | 1 | AUTOPTSETUP ^[13] | 自动指针 1 和 2 设置 | 0 | 0 | 0 | 0 | 0 | APTR2INC | APTR1INC | APTREN | 00000110 | RW |
| B0 | 1 | IOD ^[13] | 端口 D (可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| B1 | 1 | IOE ^[13] | 端口 E (不可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| B2 | 1 | OEA ^[13] | 端口 A 输出使能 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| B3 | 1 | OEB ^[13] | 端口 B 输出使能 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| B4 | 1 | OEC ^[13] | 端口 C 输出使能 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| B5 | 1 | OED ^[13] | 端口 D 输出使能 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| B6 | 1 | OEE ^[13] | 端口 E 输出使能 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| B7 | 1 | 保留 | | | | | | | | | | | |
| B8 | 1 | IP | 中断优先级 (可位寻址) | 1 | PS1 | PT2 | PS0 | PT1 | PX1 | PT0 | PX0 | 10000000 | RW |
| B9 | 1 | 保留 | | | | | | | | | | | |
| BA | 1 | EP01STAT ^[13] | 端点 0 和 1 状态 | 0 | 0 | 0 | 0 | 0 | EP1INBSY | EP1OUTBSY | EP0BSY | 00000000 | R |
| BB | 1 | GPIFRIG ^[13, 11] | 端点 2、4、6、8 GPIF Slave FIFO 触发器 | DONE | 0 | 0 | 0 | 0 | RW | EP1 | EP0 | 10000xxx | brrrrbbb |
| BC | 1 | 保留 | | | | | | | | | | | |
| BD | 1 | GPIFGLDATH ^[13] | GPIF 数据 H (仅 16 位模式) | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | xxxxxxxx | RW |

注
13. SFR 不属于标准的 8051 体系架构。
14. 如果 SIE 检测不到 EEPROM, 则默认值为 00000000。

表 12. FX2LP 寄存器摘要 (续)

| 十六进制 | 大小 | 名称 | 说明 | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | 默认值 | 访问 |
|------|----|--------------------------------|------------------------------|-------|-------|-------|-------|-------|-------|------|-------|----------|----|
| BE | 1 | GPIFSGLDATLX ^[13] | GPIF 数据 L, 带触发器 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | RW |
| BF | 1 | GPIFSGLDATLNOX ^[13] | GPIF 数据 L, 无触发器 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | xxxxxxxx | R |
| C0 | 1 | SCON1 ^[13] | 串行端口 1 控制 (可位寻址) | SM0_1 | SM1_1 | SM2_1 | REN_1 | TB8_1 | RB8_1 | TI_1 | RI_1 | 00000000 | RW |
| C1 | 1 | SBUF1 ^[13] | 串行端口 1 数据缓冲区 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| C2 | 6 | 保留 | | | | | | | | | | | |
| C8 | 1 | T2CON | Timer/Counter 2 控制 (可位寻址) | TF2 | EXF2 | RCLK | TCLK | EXEN2 | TR2 | CT2 | CPRL2 | 00000000 | RW |
| C9 | 1 | 保留 | | | | | | | | | | | |
| CA | 1 | RCAP2L | Timer 2 的捕获, 自动重新加载, 向上计数器 L | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| CB | 1 | RCAP2H | Timer 2 的捕获, 自动重新加载, 向上计数器 H | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| CC | 1 | TL2 | Timer 2 重新加载 L | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| CD | 1 | TH2 | Timer 2 重新加载 H | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | 00000000 | RW |
| CE | 2 | 保留 | | | | | | | | | | | |
| D0 | 1 | PSW | 程序状态字 (可位寻址) | CY | AC | F0 | RS1 | RS0 | OV | F1 | P | 00000000 | RW |
| D1 | 7 | 保留 | | | | | | | | | | | |
| D8 | 1 | EICON ^[13] | 外部中断控制 | SMOD1 | 1 | ERESI | RESI | INT6 | 0 | 0 | 0 | 01000000 | RW |
| D9 | 7 | 保留 | | | | | | | | | | | |
| E0 | 1 | ACC | 累加器 (可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| E1 | 7 | 保留 | | | | | | | | | | | |
| E8 | 1 | EIE ^[13] | 外部中断使能 | 1 | 1 | 1 | EX6 | EX5 | EX4 | EIPc | EUSB | 11100000 | RW |
| E9 | 7 | 保留 | | | | | | | | | | | |
| F0 | 1 | B | B (可位寻址) | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 00000000 | RW |
| F1 | 7 | 保留 | | | | | | | | | | | |
| F8 | 1 | EIP ^[13] | 外部中断优先级控制 | 1 | 1 | 1 | PX6 | PX5 | PX4 | PIPC | PUSB | 11100000 | RW |
| F9 | 7 | 保留 | | | | | | | | | | | |

R = 所有位只读
W = 所有位只写
r = 只读位
w = 只写位
b = 可读 / 写位

6. 绝对最大等级

| | |
|-----------------------------------------|--------------------|
| 存储温度 | 65°C 到 +150°C |
| 供电状态下的环境温度（商用） | 0°C 到 +70°C |
| 供电状态下的环境温度（工业用） | -40°C 到 +105°C |
| 供电电压对地电位 | -0.5V 到 +4.0V |
| 对任何输入引脚的直流输入电压 ^[15] | 5.25V |
| 在高 Z 状态下应用于输出端的直流电压 | -0.5V 到 VCC + 0.5V |
| 功耗 | 300 mW |
| 静态放电电压 | >2000V |
| 每个 IO 端口的最大输出电流 | 10 mA |
| 全部五个 IO 端口的最大输出电流（128 和 100 引脚封装） | 50 mA |

7. 运行条件

| | |
|--------------------------------------|-----------------------|
| T _A （偏差条件下的环境温度）商用 | 0°C 到 +70°C |
| T _A （偏差条件下的环境温度）工业用 | -40°C 到 +105°C |
| 供电电压 | +3.00V 到 +3.60V |
| 接地电压 | 0V |
| F _{OSC} （振荡器或晶体频率） | 24 MHz ± 100 ppm，并行谐振 |

8. 热特性

下表列出了各种封装的热特性：

表 13. 热特性

| 封装 | θ _a 环境温度 (°C) | θ _{Jc} 结到管壳温度 (°C/W) | θ _{Ca} 管壳到环境温度 (°C/W) | θ _{Ja} 结到环境温度 θ _{Jc} + θ _{Ca} (°C/W) |
|----------|--------------------------------|-------------------------------------|--------------------------------------|--------------------------------------------------------------------------|
| 56 SSOP | 70 | 24.4 | 23.3 | 47.7 |
| 100 TQFP | 70 | 11.9 | 34.0 | 45.9 |
| 128 TQFP | 70 | 15.5 | 27.7 | 43.2 |
| 56 QFN | 70 | 10.6 | 14.6 | 25.2 |
| 56 VFBGA | 70 | 30.9 | 27.7 | 58.6 |

结温度 θ_j 可以使用以下方程式计算： $\theta_j = P \cdot \theta_{Ja} + \theta_a$

其中，

P = 功率

θ_{Ja} = 结到环境温度 (θ_{Jc} + θ_{Ca})

θ_a = 环境温度 (70°C)

管壳温度 θ_c 可以使用以下方程式计算： $\theta_c = P \cdot \theta_{Ca} + \theta_a$

其中，

P = 功率

θ_{Ca} = 管壳到环境温度

θ_a = 环境温度 (70°C)

注

15. 请勿在芯片断电的情况下为 IO 加电。

9. 直流特性

表 14. 直流特性

| 参数 | 说明 | 条件 | 最小值 | Typ | 最大值 | 单位 |
|--------------------|-----------------------------|---------------------------|------|-----|---------------------|----|
| VCC | 供电电压 | | 3.00 | 3.3 | 3.60 | V |
| VCC Ramp Up | 0 到 3.3V | | 200 | | | μs |
| V _{IH} | 输入高电平电压 | | 2 | | 5.25 | V |
| V _{IL} | 输入低电平电压 | | -0.5 | | 0.8 | V |
| V _{IH_X} | 晶体输入高电平电压 | | 2 | | 5.25 | V |
| V _{IL_X} | 晶体输入低电平电压 | | -0.5 | | 0.8 | V |
| I _I | 输入泄漏电流 | 0 < V _{IN} < VCC | | | ±10 | μA |
| V _{OH} | 输出高电平电压 | I _{OUT} = 4 mA | 2.4 | | | V |
| V _{OL} | 输出低电平电压 | I _{OUT} = -4 mA | | | 0.4 | V |
| I _{OH} | 输出电流高电平 | | | | 4 | mA |
| I _{OL} | 输出电流低电平 | | | | 4 | mA |
| C _{IN} | 输入引脚电容 | D+/D- 除外 | | | 10 | pF |
| | | D+/D- | | | 15 | pF |
| I _{SUSP} | 挂起电流 CY7C68014/CY7C68016 | 连接 | | 300 | 380 ^[16] | μA |
| | | 断开连接 | | 100 | 150 ^[16] | μA |
| | 挂起电流 CY7C68013/CY7C68015 | 连接 | | 0.5 | 1.2 ^[16] | mA |
| | | 断开连接 | | 0.3 | 1.0 ^[16] | mA |
| I _{CC} | 供电电流 | 8051 正在运行, 已连接到 USB HS | | 50 | 85 | mA |
| | | 8051 正在运行, 已连接到 USB FS | | 35 | 65 | mA |
| T _{RESET} | 有效供电后的复位时间 | VCC 最小值 = 3.0V | 5.0 | | | mS |
| | 加电后引脚复位 | | 200 | | | μS |

9.1 USB 收发器

在全速和高速模式下与 USB 2.0 兼容。

10. 交流电特性

10.1 USB 收发器

在全速和高速模式下与 USB 2.0 兼容。

注

16. 测量条件为最大 VCC, 25°C。

10.2 程序存储器读取

图 12. 程序存储器读取时序图

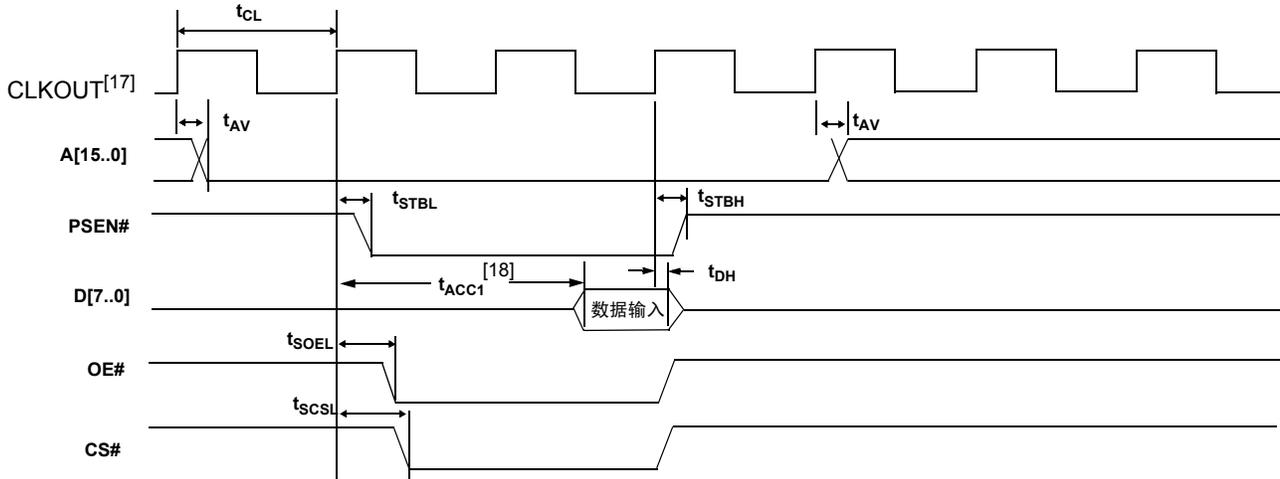


表 15. 程序存储器读取参数

| 参数 | 说明 | 最小值 | Typ | 最大值 | 单位 | 注 |
|-------------------|--------------|-----|-------|------|----|--------|
| t _{CL} | 1/CLKOUT 频率 | | 20.83 | | ns | 48 MHz |
| | | | 41.66 | | ns | 24 MHz |
| | | | 83.2 | | ns | 12 MHz |
| t _{AV} | 从时钟到有效地址的延迟 | 0 | | 10.7 | ns | |
| t _{STBL} | 时钟到 PSEN 低电平 | 0 | | 8 | ns | |
| t _{STBH} | 时钟到 PSEN 高电平 | 0 | | 8 | ns | |
| t _{SOEL} | 时钟到 OE 低电平 | | | 11.1 | ns | |
| t _{SCSL} | 时钟到 CS 低电平 | | | 13 | ns | |
| t _{DSU} | 数据设置到时钟 | 9.6 | | | ns | |
| t _{DH} | 数据保留时间 | 0 | | | ns | |

注

17. CLKOUT 显示正极性。

18. t_{ACC1} 是根据上述参数按照以下方程式计算得出的：

$$t_{ACC1} (24 \text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 106 \text{ ns}$$

$$t_{ACC1} (48 \text{ MHz}) = 3 \cdot t_{CL} - t_{AV} - t_{DSU} = 43 \text{ ns}$$

10.3 数据存储器读取

图 13. 数据存储器读取时序图

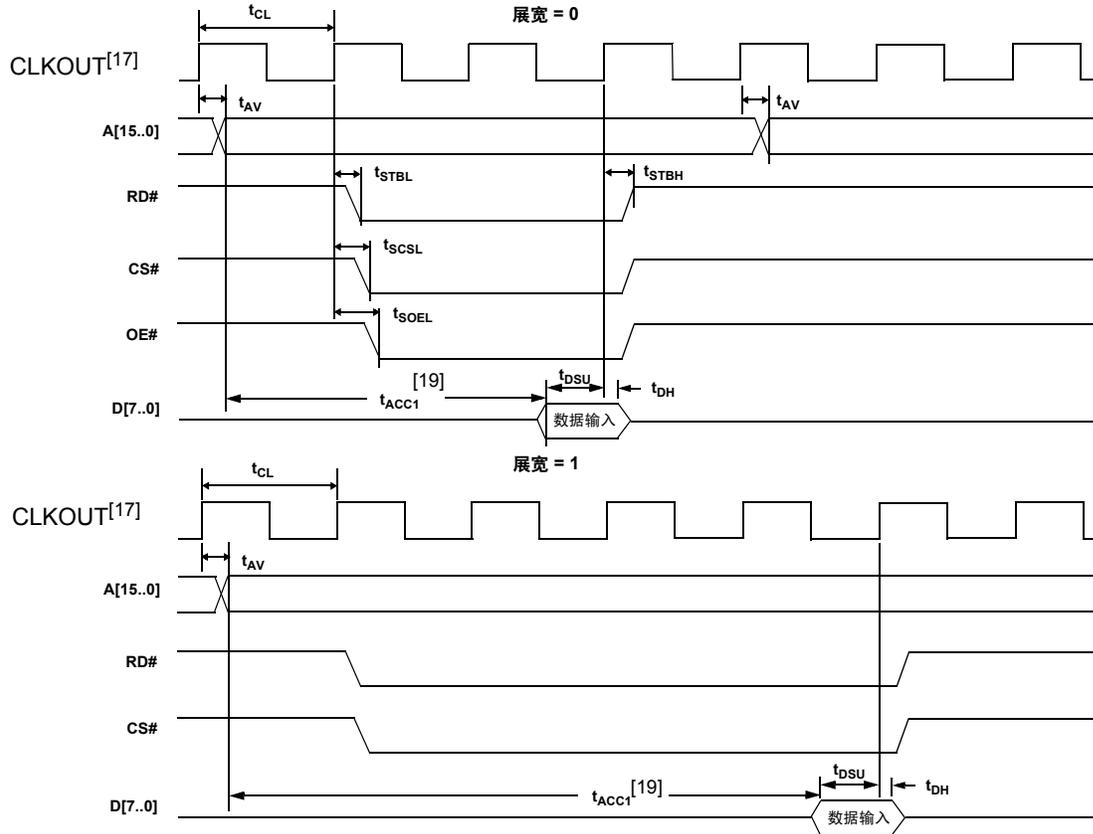


表 16. 数据存储器读取参数

| 参数 | 说明 | 最小值 | Typ | 最大值 | 单位 | 注 |
|------------|-------------|-----|-------|------|----|--------|
| t_{CL} | 1/CLKOUT 频率 | | 20.83 | | ns | 48 MHz |
| | | | 41.66 | | ns | 24 MHz |
| | | | 83.2 | | ns | 12 MHz |
| t_{AV} | 从时钟到有效地址的延迟 | | | 10.7 | ns | |
| t_{STBL} | 时钟到 RD 低电平 | | | 11 | ns | |
| t_{STBH} | 时钟到 RD 高电平 | | | 11 | ns | |
| t_{SCSL} | 时钟到 CS 低电平 | | | 13 | ns | |
| t_{SOEL} | 时钟到 OE 低电平 | | | 11.1 | ns | |
| t_{DSU} | 数据设置到时钟 | 9.6 | | | ns | |
| t_{DH} | 数据保留时间 | 0 | | | ns | |

当使用 AUTOPTTR1 到 AUTOPTTR2 来寻址外部存储器时，AUTOPTTR1 的地址只有在 RD# 或 WR# 为有效时才有效。AUTOPTTR2 的地址在整个周期内都有效，而且满足上述基于展宽值的地址有效时间。

注

19. t_{ACC2} 和 t_{ACC3} 是根据上述参数按照以下方程式计算得出的：

$$t_{ACC2} (24 \text{ MHz}) = 3 * t_{CL} - t_{AV} - t_{DSU} = 106 \text{ ns}$$

$$t_{ACC2} (48 \text{ MHz}) = 3 * t_{CL} - t_{AV} - t_{DSU} = 43 \text{ ns}$$

$$t_{ACC3} (24 \text{ MHz}) = 5 * t_{CL} - t_{AV} - t_{DSU} = 190 \text{ ns}$$

$$t_{ACC3} (48 \text{ MHz}) = 5 * t_{CL} - t_{AV} - t_{DSU} = 86 \text{ ns}$$

10.4 数据存储器写入

图 14. 数据存储器写入时序图

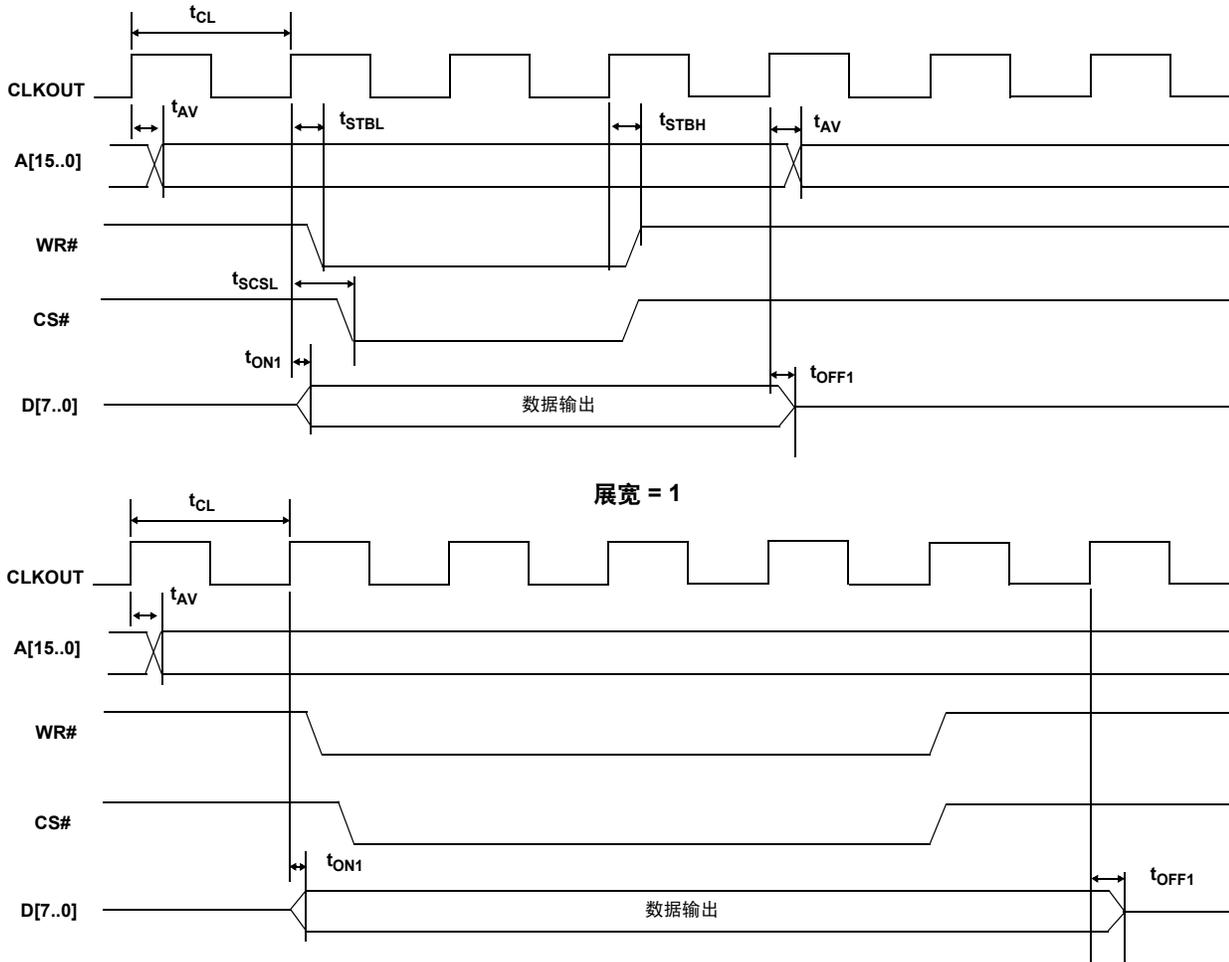


表 17. 数据存储器写入参数

| 参数 | 说明 | 最小值 | 最大值 | 单位 | 注 |
|------------|--------------|-----|------|----|---|
| t_{AV} | 从时钟到有效地址的延迟 | 0 | 10.7 | ns | |
| t_{STBL} | 时钟到 WR 脉冲低电平 | 0 | 11.2 | ns | |
| t_{STBH} | 时钟到 WR 脉冲高电平 | 0 | 11.2 | ns | |
| t_{SCSL} | 时钟到 CS 脉冲低电平 | | 13.0 | ns | |
| t_{ON1} | 时钟到数据开启 | 0 | 13.1 | ns | |
| t_{OFF1} | 时钟到数据保留时间 | 0 | 13.1 | ns | |

当使用 AUTOPTTR1 到 AUTOPTTR2 来寻址外部存储器时，AUTOPTTR1 的地址只有在 RD# 或 WR# 为有效时才有效。AUTOPTTR2 的地址在整个周期内都有效，而且满足上述基于展宽值的地址有效时间。

10.5 PORTC 选通脉冲功能时序

RD# 和 WR# 在 100 引脚版本和 128 引脚封装中提供。在这些 100 引脚和 128 引脚的版本中，可以通过 8051 控制位设置在 8051 对 PORTC 进行读 / 写操作时触发 RD# 和 WR# 引脚。通过在 CPUCS 寄存器中设置 PORTCSTB 位，可启用此功能。

当访问 PORTC 时，会将 RD# 和 WR# 选通脉冲触发两个 CLKOUT 周期。

在更新 PORTC 后，会将 WR# 选通脉冲触发两个时钟周期，并且在此后的两个时钟周期内有效，如图 15 所示。

至于读取操作，PORTC 在对 RD# 进行触发的三个时钟周期以前的值是 8051 读入的值。在 8051 对 PORTC 执行读取功能后的 3 个时钟周期之后，将触发 RD# 的脉冲并持续 2 个时钟周期。

RD# 信号会提示外部逻辑准备下一个数据字节。在触发 RD# 信号本身时，并不会进行任何内部取样操作，它仅仅是用于准备下一个数据字节的预获取类型信号。因此，在使用该信号时记住这一点可让您轻松符合下一次读取操作的设置时间。

RD# 脉冲的目的是让外设知道：8051 已完成对 PORTC 的读取操作，而且数据已经在触发 RD# 信号前的三个 CLKOUT 周期前就已锁存到 PORTC 中。在触发 RD# 的脉冲后，外部逻辑即可更新 PORTC 上的数据。

以下是访问 PORTC 时的读写选通功能的时序图。有关 RD# 和 WR# 信号传输延迟的详细信息，请参考第 10.3 节和第 10.4 节。

图 15. 8051 访问 PORTC 时的 WR# 选通脉冲功能

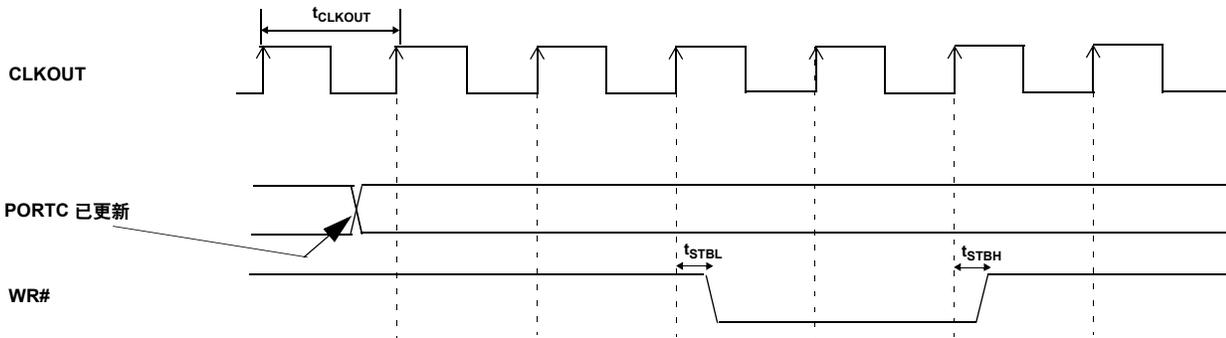
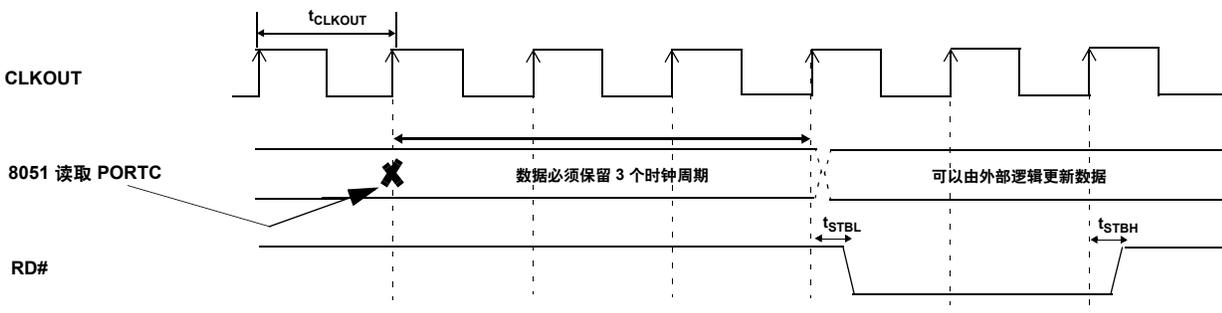


图 16. 8051 访问 PORTC 时的 RD# 选通脉冲功能



10.6 GPIF 同步信号

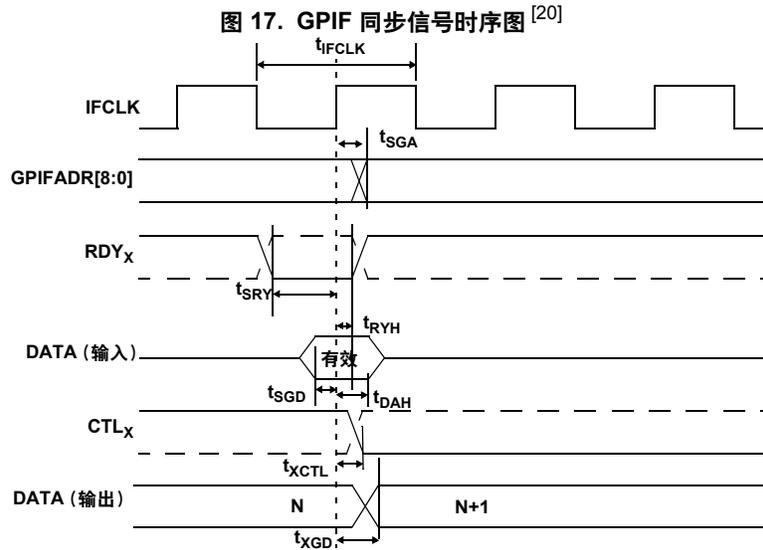


表 18. IFCLK 来源于内部时的 GPIF 同步信号参数^[20, 21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|-----------------------------|-------|-----|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | | ns |
| t_{SRY} | RDY _x 到时钟设置时间 | 8.9 | | ns |
| t_{RYH} | 时钟到 RDY _x | 0 | | ns |
| t_{SGD} | GPIF 数据到时钟设置时间 | 9.2 | | ns |
| t_{DAH} | GPIF 数据保留时间 | 0 | | ns |
| t_{SGA} | 时钟到 GPIF 地址传输延迟 | | 7.5 | ns |
| t_{XGD} | 时钟到 GPIF 数据输出传输延迟 | | 11 | ns |
| t_{XCTL} | 时钟到 CTL _x 输出传输延迟 | | 6.7 | ns |

表 19. IFCLK 来源于外部的时的 GPIF 同步信号参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|-----------------------------|-------|------|----|
| t_{IFCLK} | IFCLK 周期 ^[22] | 20.83 | 200 | ns |
| t_{SRY} | RDY _x 到时钟设置时间 | 2.9 | | ns |
| t_{RYH} | 时钟到 RDY _x | 3.7 | | ns |
| t_{SGD} | GPIF 数据到时钟设置时间 | 3.2 | | ns |
| t_{DAH} | GPIF 数据保留时间 | 4.5 | | ns |
| t_{SGA} | 时钟到 GPIF 地址传输延迟 | | 11.5 | ns |
| t_{XGD} | 时钟到 GPIF 数据输出传输延迟 | | 15 | ns |
| t_{XCTL} | 时钟到 CTL _x 输出传输延迟 | | 10.7 | ns |

注

20. 虚线表示具有可编程极性的信号。

21. 当使用内部 48-MHz IFCLK 时，GPIF 异步 RDY_x 信号的最小设置时间为 50 ns。

22. IFCLK 不得超过 48 MHz。

10.7 Slave FIFO 同步读取

图 18. Slave FIFO 同步读取时序图^[20]

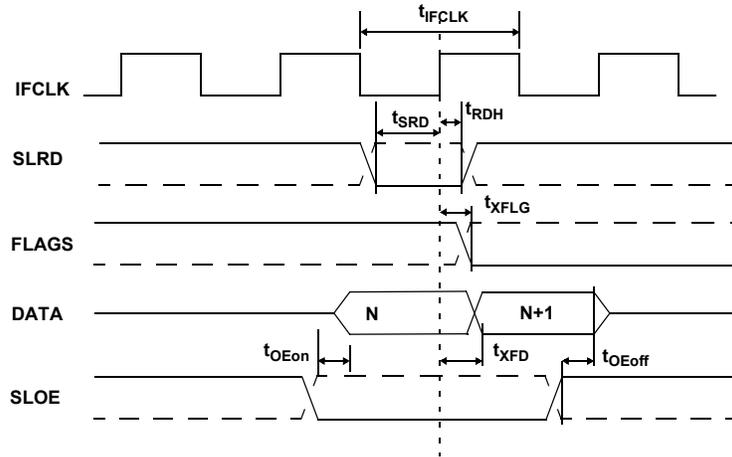


表 20. IFCLK 来源于内部时的 Slave FIFO 同步读取参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|--------------------|-------|------|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | | ns |
| t_{SRD} | SLRD 到时钟设置时间 | 18.7 | | ns |
| t_{RDH} | 时钟到 SLRD 保留时间 | 0 | | ns |
| t_{OEon} | SLOE 开启到 FIFO 数据有效 | | 10.5 | ns |
| t_{OEoff} | SLOE 关闭到 FIFO 数据保留 | | 10.5 | ns |
| t_{XFLG} | 时钟到 FLAGS 输出传输延迟 | | 9.5 | ns |
| t_{XFD} | 时钟到 FIFO 数据输出传输延迟 | | 11 | ns |

表 21. IFCLK 来源于外部时的 Slave FIFO 同步读取参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|--------------------|-------|------|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | 200 | ns |
| t_{SRD} | SLRD 到时钟设置时间 | 12.7 | | ns |
| t_{RDH} | 时钟到 SLRD 保留时间 | 3.7 | | ns |
| t_{OEon} | SLOE 开启到 FIFO 数据有效 | | 10.5 | ns |
| t_{OEoff} | SLOE 关闭到 FIFO 数据保留 | | 10.5 | ns |
| t_{XFLG} | 时钟到 FLAGS 输出传输延迟 | | 13.5 | ns |
| t_{XFD} | 时钟到 FIFO 数据输出传输延迟 | | 15 | ns |

10.8 Slave FIFO 异步读取

图 19. Slave FIFO 异步读取时序图^[20]

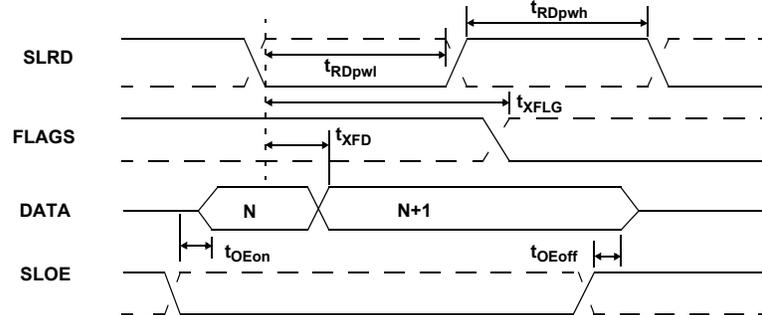


表 22. Slave FIFO 异步读取参数^[23]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|----------------------|-----|------|----|
| t_{RDpwl} | SLRD 脉冲宽度低电平 | 50 | | ns |
| t_{RDpwh} | SLRD 脉冲宽度高电平 | 50 | | ns |
| t_{XFLG} | SLRD 到 FLAGS 输出传输延迟 | | 70 | ns |
| t_{XFD} | SLRD 到 FIFO 数据输出传输延迟 | | 15 | ns |
| t_{OEon} | SLOE 开启到 FIFO 数据有效 | | 10.5 | ns |
| t_{OEoff} | SLOE 关闭到 FIFO 数据保留 | | 10.5 | ns |

注

23. Slave FIFO 异步参数值使用频率为 48 MHz 时的内部 IFCLK 设置。

10.9 Slave FIFO 同步写入

图 20. Slave FIFO 同步写入时序图^[20]

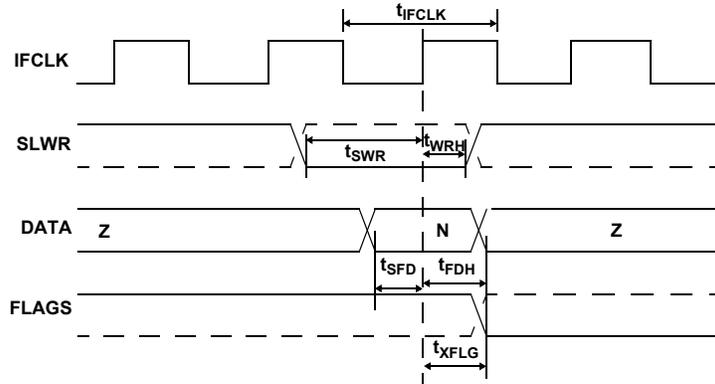


表 23. IFCLK 来源于内部时的 Slave FIFO 同步写入参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|------------------|-------|-----|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | | ns |
| t_{SWR} | SLWR 到时钟设置时间 | 10.4 | | ns |
| t_{WRH} | 时钟到 SLWR 保留时间 | 0 | | ns |
| t_{SFD} | FIFO 数据到时钟设置时间 | 9.2 | | ns |
| t_{FDH} | 时钟到 FIFO 数据保留时间 | 0 | | ns |
| t_{XFLG} | 时钟到 FLAGS 输出传输时间 | | 9.5 | ns |

表 24. IFCLK 来源于外部时的 Slave FIFO 同步写入参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|------------------|-------|------|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | 200 | ns |
| t_{SWR} | SLWR 到时钟设置时间 | 12.1 | | ns |
| t_{WRH} | 时钟到 SLWR 保留时间 | 3.6 | | ns |
| t_{SFD} | FIFO 数据到时钟设置时间 | 3.2 | | ns |
| t_{FDH} | 时钟到 FIFO 数据保留时间 | 4.5 | | ns |
| t_{XFLG} | 时钟到 FLAGS 输出传输时间 | | 13.5 | ns |

10.10 Slave FIFO 异步写入

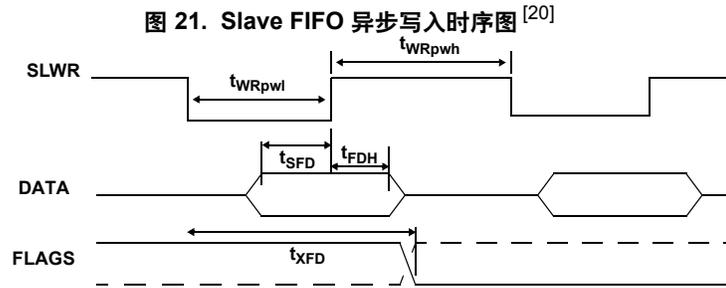


表 25. IFCLK 来源于内部时的 Slave FIFO 异步写入参数^[23]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|-----------------------|-----|-----|----|
| t_{WRpwl} | SLWR 脉冲低电平 | 50 | | ns |
| t_{WRpwh} | SLWR 脉冲高电平 | 70 | | ns |
| t_{SFD} | SLWR 到 FIFO DATA 设置时间 | 10 | | ns |
| t_{FDH} | FIFO DATA 到 SLWR 保留时间 | 10 | | ns |
| t_{XFD} | SLWR 到 FLAGS 输出传输延迟 | | 70 | ns |

10.11 Slave FIFO 同步数据包结束选通脉冲

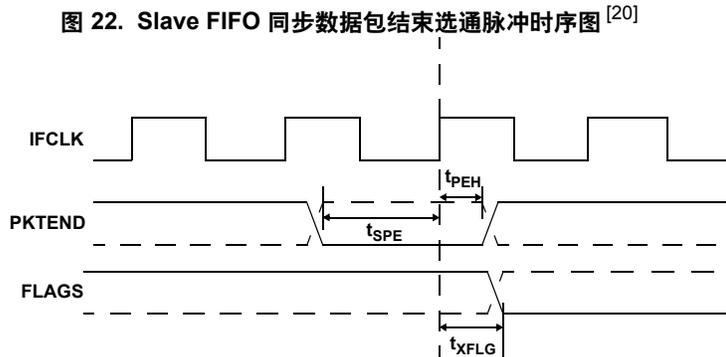


表 26. IFCLK 来源于内部时的 Slave FIFO 同步数据包结束选通脉冲参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|------------------|-------|-----|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | | ns |
| t_{SPE} | PKTEND 到时钟设置时间 | 14.6 | | ns |
| t_{PEH} | 时钟到 PKTEND 保留时间 | 0 | | ns |
| t_{XFLG} | 时钟到 FLAGS 输出传输延迟 | | 9.5 | ns |

表 27. IFCLK 来源于外部时的 Slave FIFO 同步数据包结束选通脉冲参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|------------------|-------|------|----|
| t_{IFCLK} | IFCLK 周期 | 20.83 | 200 | ns |
| t_{SPE} | PKTEND 到时钟设置时间 | 8.6 | | ns |
| t_{PEH} | 时钟到 PKTEND 保留时间 | 2.5 | | ns |
| t_{XFLG} | 时钟到 FLAGS 输出传输延迟 | | 13.5 | ns |

触发 SLWR 时，对触发 PKTEND 引脚并没有特定的时序要求。可以使用通过时钟脉冲输入到 FIFO 中的最后一个数据值（或其后续输入的值）来触发 PKTEND。设置时间 t_{SPE} 和保留时间 t_{PEH} 是必须满足的。

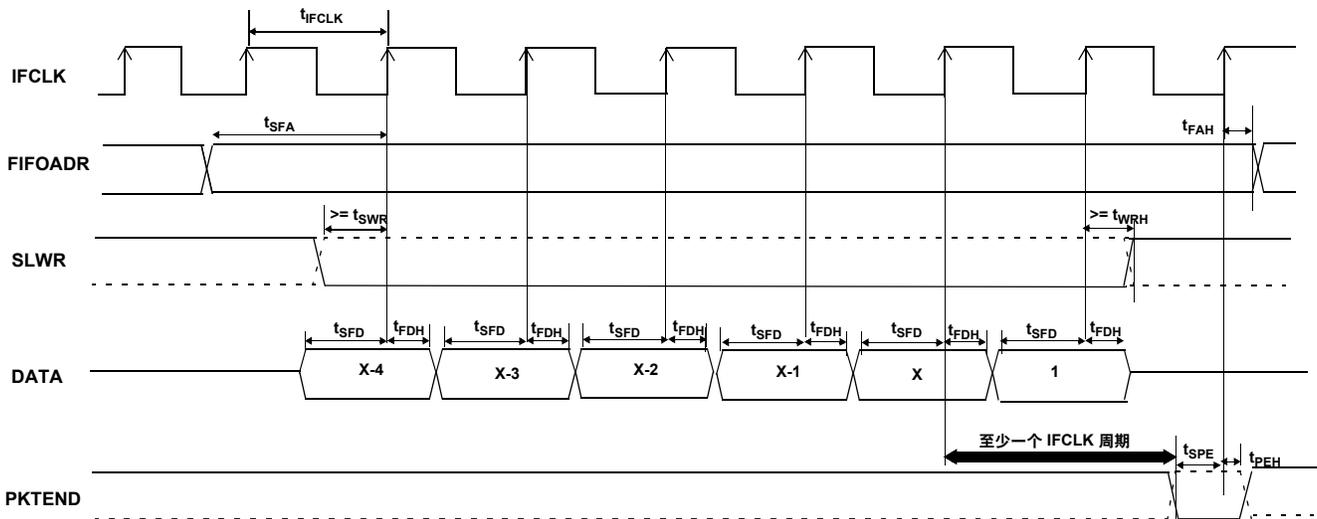
虽然对 PKTEND 触发没有特定的时序要求，但在使用 PKTEND 提交一个单字节或单字数据包时，有一个特定的极端状况条件需要注意。将 FIFO 配置为在自动模式下运行，且需要接连发送两个数据包时，有一个附加的时序要求需要满足：自动提交一个完整的数据包（完全限定为 FIFO 中的字节数，符合在 AUTOINLEN 寄存器中设置的级别），然后使用 PKTEND 引脚手动提交一个单字节或单字短数据包。在这种情况下，用户必须确保在导致最后一个字节或字通过时钟脉冲输入到前一个自动提交数据包中的上

升沿之后，触发 PKTEND 至少一个时钟周期。图 23 显示了这种情况。X 是将输入端点配置为自动模式时设置的 AUTOINLEN 寄存器值。

图 23 显示了提交两个数据包的情况。第一个数据包在 FIFO 中的字节数达到 X（在 AUTOINLEN 寄存器中设置的值）时自动提交，而第二个单字节 / 单字短数据包则使用 PKTEND 手动提交。

请注意，在 PKTEND 触发和通过时钟脉冲传输前一个数据包的最后一个字节（导致该数据包自动提交）之间，至少有一个 IFCLK 周期时序。如果不遵循这种时序，则会导致 FX2 无法发送单字节或单字短数据包。

图 23. Slave FIFO 同步写入序列和时序图 [20]



10.12 Slave FIFO 异步数据包结束选通脉冲

图 24. Slave FIFO 异步数据包结束选通脉冲时序图 [20]

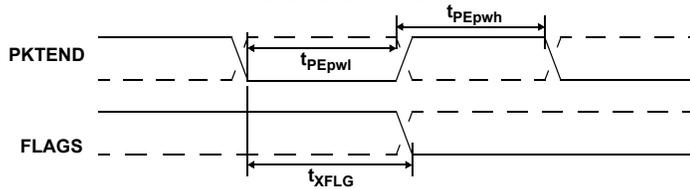


表 28. Slave FIFO 异步数据包结束选通脉冲参数 [23]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|-----------------------|-----|-----|----|
| t_{PEpwL} | PKTEND 脉冲宽度低电平 | 50 | | ns |
| t_{PEpwh} | PKTEND 脉冲宽度高电平 | 50 | | ns |
| t_{XFLG} | PKTEND 到 FLAGS 输出传输延迟 | | 115 | ns |

10.13 Slave FIFO 输出使能

图 25. Slave FIFO 输出使能时序图^[20]

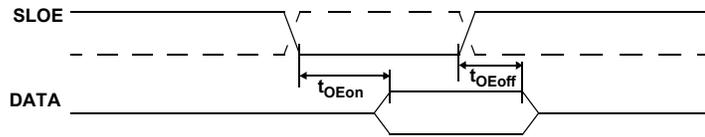


表 29. Slave FIFO 输出使能参数

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|-----------------------|-----|------|----|
| t_{OEon} | SLOE 触发到 FIFO DATA 输出 | | 10.5 | ns |
| t_{OEoff} | SLOE 解除到 FIFO DATA 保留 | | 10.5 | ns |

10.14 Slave FIFO 地址到标记 / 数据

图 26. Slave FIFO 地址到标记 / 数据时序图^[20]

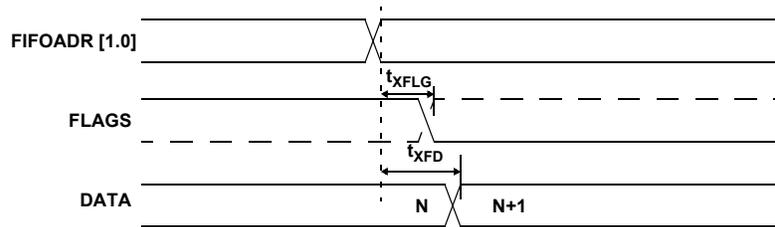


表 30. Slave FIFO 地址到标记 / 数据参数

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|------------|--------------------------------|-----|------|----|
| t_{XFLG} | FIFOADR[1:0] 到 FLAGS 输出传输延迟 | | 10.7 | ns |
| t_{XFD} | FIFOADR[1:0] 到 FIFODATA 输出传输延迟 | | 14.3 | ns |

10.15 Slave FIFO 同步地址

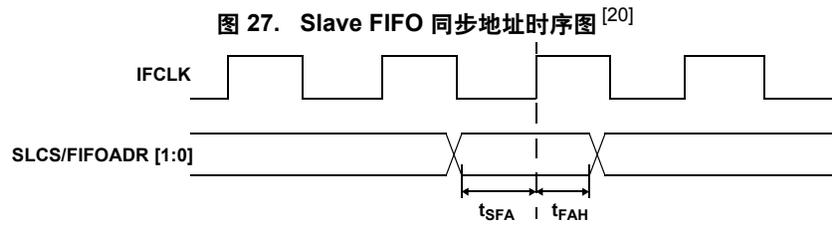


表 31. Slave FIFO 同步地址参数^[21]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-------------|-----------------------|-------|-----|----|
| t_{IFCLK} | 接口时钟周期 | 20.83 | 200 | ns |
| t_{SFA} | FIFOADR[1:0] 到时钟设置时间 | 25 | | ns |
| t_{FAH} | 时钟到 FIFOADR[1:0] 保留时间 | 10 | | ns |

10.16 Slave FIFO 异步地址



表 32. Slave FIFO 异步地址参数^[23]

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|-----------|--------------------------------------|-----|-----|----|
| t_{SFA} | FIFOADR[1:0] 到 SLRD/SLWR/PKTEND 设置时间 | 10 | | ns |
| t_{FAH} | RD/WR/PKTEND 到 FIFOADR[1:0] 保留时间 | 10 | | ns |

10.17 序列图

10.17.1 单个和突发同步读取示例

图 29. Slave FIFO 同步读取序列和时序图^[20]

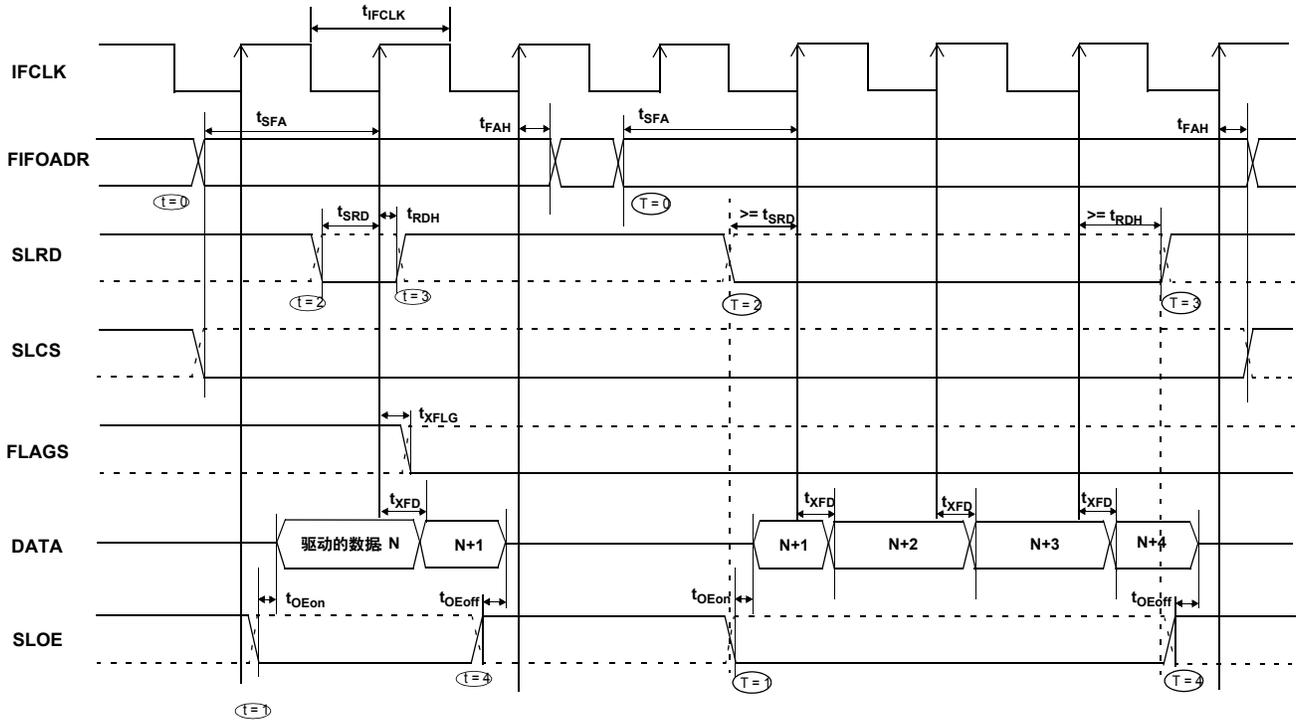


图 30. Slave FIFO 同步事件序列图

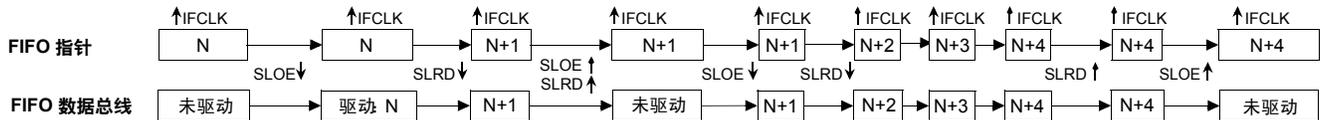


图 29 显示了将 IFCLK 用作同步时钟，在同步 FIFO 读取期间 Slave FIFO 信号的时序关系。该图说明了带有后续突发读取的单个读取。

- 在 $t = 0$ 时，FIFO 地址处于稳定状态，并且触发信号 SLCS（在某些应用中，可以将 SLCS 绑定到低电平）。请注意， t_{SFA} 的最小值为 25 ns。这意味着，当 IFCLK 以 48 MHz 的频率运行时，FIFO 地址设置时间超过一个 IFCLK 周期。
- 在 $t = 1$ 时，触发 SLOE。SLOE 为仅输出使能信号，其唯一功能是驱动数据总线。在总线上驱动的数据是内部 FIFO 指针当前所指向的数据。在此示例中，它是 FIFO 中的第一个数据值。注意：该数据是预先获取的，并会在触发 SLOE 时于总线上将其驱动。
- 在 $t = 2$ 时，触发 SLRD。SLRD 必须满足设置时间 t_{SRD} （从触发 SLRD 信号到 IFCLK 的上升沿的时间），并且维持最低保留时间 t_{RDH} （从 IFCLK 沿到解除 SLRD 信号的时间）。

如果使用 SLCS 信号，则必须在触发 SLRD 之前触发该信号（SLCS 和 SLRD 信号都必须触发，才能启动有效读取条件）。

- FIFO 指针在 IFCLK 的上升沿进行更新，同时会触发 SLRD。这会使数据开始从新寻址的位置向数据总线传输。在 t_{XFD} （从 IFCLK 的上升沿测量）传输延迟之后，会出现新的数据值。N 是从 FIFO 读取的第一个数据值。要获取 FIFO 数据总线上的数据，还必须触发 SLOE。

突发读取具有同样的事件序列，并且这些序列标有时间指示符 $T = 0$ 到 5。

注 对于突发模式，SLRD 和 SLOE 在整个读取时期内都保持触发状态。在突发读取模式下，当触发 SLOE 时，由 FIFO 指针索引的数据位于数据总线上。在第一个读取周期内，FIFO 指针在时钟的上升沿更新，递增后指向地址 N+1。对于 IFCLK 的每个后续上升沿，当触发 SLRD 时，FIFO 指针会递增，下一个数据值将置于数据总线上。

10.17.2 单个和突发同步写入

图 31. Slave FIFO 同步写入序列和时序图 [20]

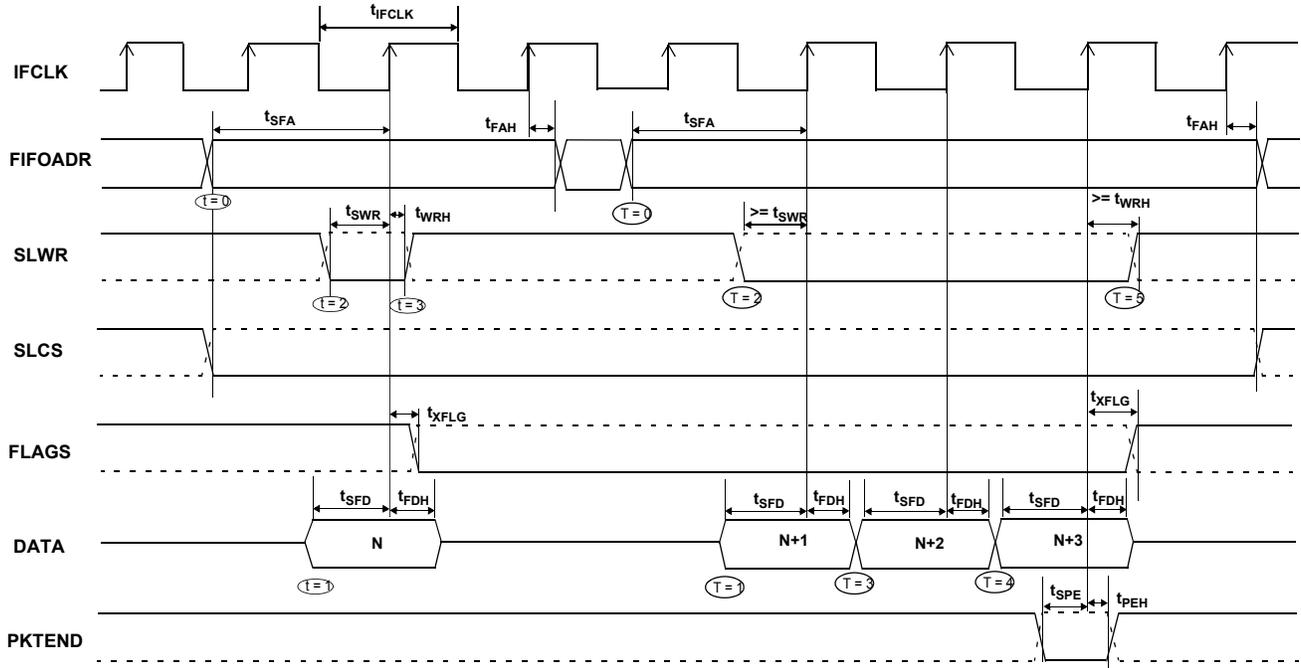


图 31 显示了将 IFCLK 用作同步时钟，在同步写入期间 Slave FIFO 信号的时序关系。该图说明了带有后续 3 个字节突发写入的单个写入，全部 4 个字节均作为短数据包使用 PKTEND 引脚进行提交。

- 当 $t = 0$ 时，FIFO 地址处于稳定状态，并触发信号 SLCS。
(在某些应用中，SLCS 可以绑定到低电平) 请注意， t_{SFA} 的最小值为 25 ns。这意味着，当 IFCLK 以 48 MHz 的频率运行时，FIFO 地址设置时间超过一个 IFCLK 周期。
- 当 $t = 1$ 时，外部主设备 / 外设必须在 IFCLK 的上升沿之前，于最小设置时间 t_{SFD} 内将数据值输出到数据总线。
- 在 $t = 2$ 时，触发 SLWR。SLWR 必须满足设置时间 t_{SWR} (从触发 SLWR 信号到 IFCLK 的上升沿的时间)，并且维持最低保留时间 t_{WRH} (从 IFCLK 沿到解除 SLWR 信号的时间)。如果使用 SLCS 信号，则必须在触发 SLWR 之前或同时触发该信号 (SLCS 和 SLWR 信号都必须触发，才能启动有效的写入条件)。
- 当触发 SLWR 时，会将数据写入 FIFO 以及 IFCLK 上升沿，FIFO 指针会递增。FIFO 标志也会在 t_{XFLG} 延迟后从时钟的上升沿更新。

突发写入也具有同样的事件序列，并且这些序列标有时间指示符 T = 0 到 5。

注 对于突发模式，SLWR 和 SLCS 在写入所有必需数据值的整个期间内都保持触发状态。在此突发写入模式下，触发 SLWR 后，FIFO 数据总线上的数据会在 IFCLK 的每个上升沿上写入到 FIFO 中。FIFO 指针在 IFCLK 的每个上升沿上更新。在图 31 中，在将四个字节写入 FIFO 后，会解除 SLWR。可以通过触发 PKTEND 信号将 4 字节短数据包提交到主机。

对于与触发 SLWR 信号相关的触发 PKTEND 信号，并没有特定的时序要求。可以使用最后一个数据值 (或其后续输入的值) 来触发 PKTEND。唯一的要求是，设置时间 t_{SPE} 和保留时间 t_{PEH} 必须满足。在图 31 的情况中，提交的数据值的数量包括写入 FIFO 的最后一个值。在此示例中，该数据值和 PKTEND 信号都在 IFCLK 的同一上升沿上计时。PKTEND 也可以在后续时钟周期中触发。FIFOADDR 行在 PKTEND 触发期间应保持恒定。

虽然对 PKTEND 触发没有特定的时序要求，但在使用 PKTEND 提交一个单字节 / 单字数据包时，有一个特定的极端状况条件需要注意。将 FIFO 配置为在自动模式下运行并且需要发送两个数据包时，有一个附加的时序要求：自动提交一个完整的数据包 (完全限定为 FIFO 中的字节数，符合在 AUTOINLEN 寄存器中设置的级别)，然后使用 PKTEND 引脚手动提交一个单字节或单字短数据包。

在此情况下，外部主设备必须确保在导致最后一个字节或字通过时钟脉冲输入到前一个自动提交数据包 (该数据包中的字节数等于在 AUTOINLEN 寄存器中设置的级别) 中的上升沿之后，触发 PKTEND 引脚至少一个时钟周期。有关此时序的详细信息，请参考图 23。

10.17.3 单个和突发异步读取的序列图

图 32. Slave FIFO 异步读取序列和时序图 [20]

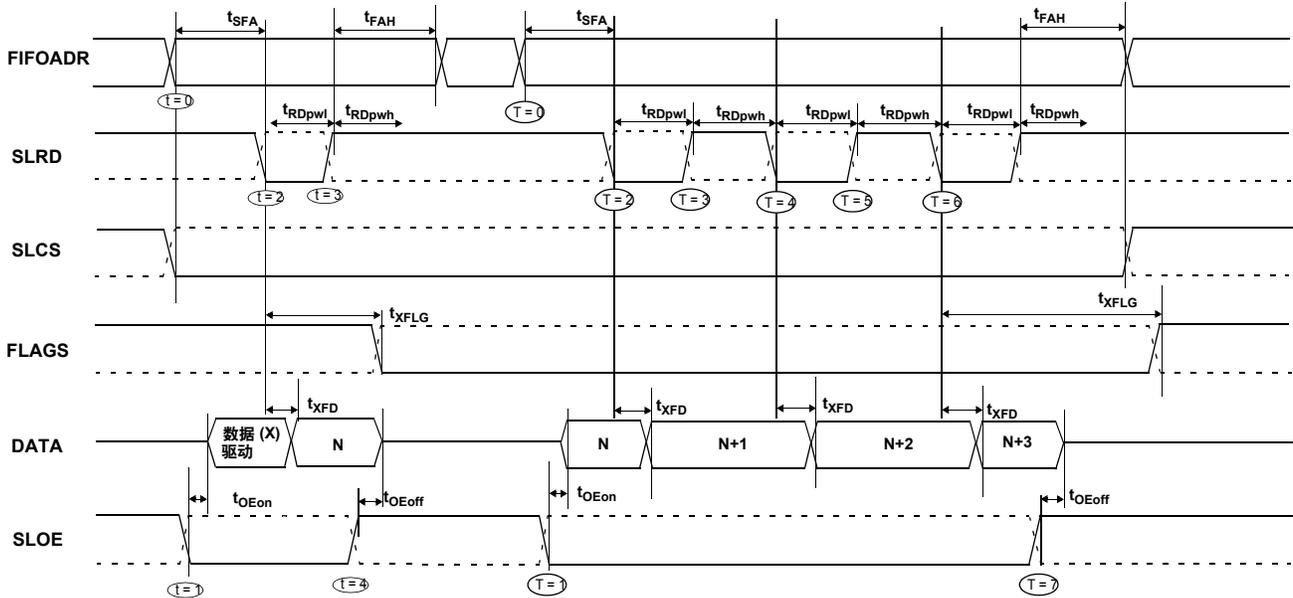


图 33. Slave FIFO 异步读取事件序列图

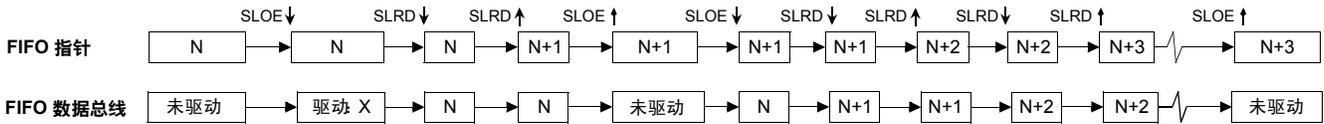


图 32 显示了在异步 FIFO 读取期间的 Slave FIFO 信号时序关系。它显示了带有后续突发读取的单个读取。

- 当 $t = 0$ 时，FIFO 地址处于稳定状态，并触发信号 SLCS。
- 在 $t = 1$ 时，触发 SLOE。这会导致数据总线被驱动。驱动到数据总线上的数据是以前的数据，是 FIFO 中来自前一个读取周期的数据。
- 在 $t = 2$ 时，触发 SLRD。SLRD 必须满足最小活动脉冲宽度 t_{RDpwl} 和最小非活动脉冲宽度 t_{RDpwh} 。如果使用 SLCS，则必须在触发 SLRD 之前触发该信号（SLCS 和 SLRD 信号都必须触发，才能启动有效读取条件）。

■ 在触发 SLRD 后驱动的数据是来自 FIFO 的更新数据。该数据在从 SLRD 的激活沿开始的 t_{XFD} 传输延迟后有效。在图 32 中，数据 N 是从 FIFO 读取的第一个有效数据。要想使数据在读取周期（触发 SLRD）中出现在数据总线上，SLOE 必须处于已触发状态。SLRD 和 SLOE 也可以绑定到一起。

突发读取也具有同样的事件序列，并且标有 T = 0 到 5。

注 在突发读取模式下，数据总线在 SLOE 触发期间处于驱动状态，并输出以前的数据。触发 SLRD 后，会在数据总线上驱动来自 FIFO 的数据（还必须触发 SLOE），然后 FIFO 指针会递增。

10.17.4 单个和突发异步写入的序列图

图 34. Slave FIFO 异步写入序列和时序图 [20]

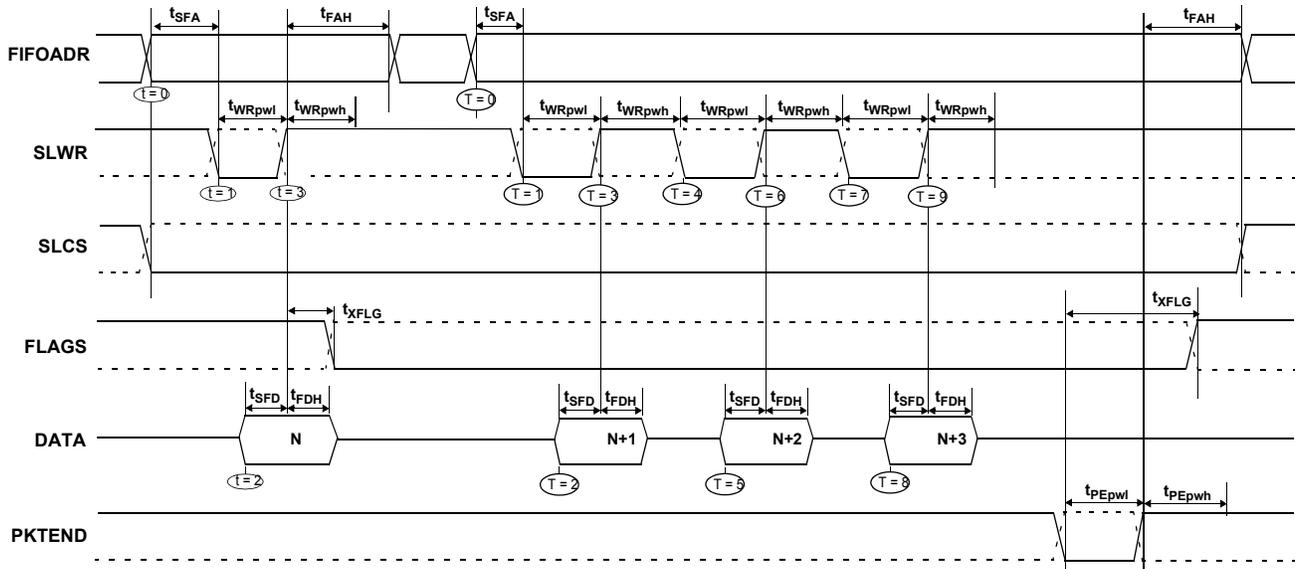


图 34 显示了异步模式下 Slave FIFO 写入的时序关系。该图显示了带有后续 3 个字节突发写入的单个写入，并使用 PKTEND 提交这个 4 字节短数据包。

- 在 $t = 0$ 时，FIFO 地址有效，并确保它满足设置时间 t_{SFA} 。如果使用 SLCS，则必须也对其进行触发（在某些应用中可以将 SLCS 绑定到低电平）。
- 在 $t = 1$ 时，触发 SLWR。SLWR 必须满足最小活动脉冲宽度 t_{WRpwl} 和最小非活动脉冲宽度 t_{WRpwh} 。如果使用 SLCS，则必须将其与 SLWR 一起触发，或在触发 SLWR 之前先对其进行触发。
- 在 $t = 2$ 时，数据必须在 SLWR 的解除沿之前出现在总线 t_{SFD} 上。

■ 在 $t = 3$ 时，解除 SLWR 会导致数据从数据总线写入 FIFO，并且随后会递增 FIFO 指针。FIFO 标志也会在 t_{XFLG} 后从 SLWR 的解除沿更新。

突发写入具有同样的事件序列，并且由时序标记 $T = 0$ 到 5 指明。
注 在突发写入模式下，解除 SLWR 后，数据会写入到 FIFO 中，然后 FIFO 指针会递增以指向 FIFO 中的下一个字节。FIFO 指针是后递增的。

在图 34 中，当四个字节写入 FIFO 并解除 SLWR 后，可以使用 PKTEND 将 4 字节短数据包提交到主机。外部设备应设计为不同时触发 SLWR 和 PKTEND 信号。而是应该将其设计为在解除 SLWR 而且满足最小解除脉冲宽度后才触发 PKTEND。FIFOADDR 行在 PKTEND 触发期间必须保持恒定。

11. 订购信息

表 33. 订购信息

| 订购代码 | 封装类型 | RAM 大小 | 可编程 IO 数量 | 8051 地址 / 数据总线 |
|-------------------|--------------------------------------------|--------|-----------|----------------|
| 适合电池供电应用 | | | | |
| CY7C68014A-128AXC | 128 TQFP – 无铅 | 16K | 40 | 16/8 位 |
| CY7C68014A-100AXC | 100 TQFP – 无铅 | 16K | 40 | – |
| CY7C68014A-56PVXC | 56 SSOP – 无铅 | 16K | 24 | – |
| CY7C68014A-56LFXC | 56 QFN – 无铅 | 16K | 24 | – |
| CY7C68014A-56BAXC | 56 VFBGA – 无铅 | 16K | 24 | – |
| CY7C68016A-56LFXC | 56 QFN – 无铅 | 16K | 26 | – |
| 适合非电池供电应用 | | | | |
| CY7C68013A-128AXC | 128 TQFP – 无铅 | 16K | 40 | 16/8 位 |
| CY7C68013A-128AXI | 128 TQFP – 无铅 (工业用) | 16K | 40 | 16/8 位 |
| CY7C68013A-100AXC | 100 TQFP – 无铅 | 16K | 40 | – |
| CY7C68013A-100AXI | 100 TQFP – 无铅 (工业用) | 16K | 40 | – |
| CY7C68013A-56PVXC | 56 SSOP – 无铅 | 16K | 24 | – |
| CY7C68013A-56PVXI | 56 SSOP – 无铅 (工业用) | 16K | 24 | – |
| CY7C68013A-56LFXC | 56 QFN – 无铅 | 16K | 24 | – |
| CY7C68013A-56LFXI | 56 QFN – 无铅 (工业用) | 16K | 24 | – |
| CY7C68015A-56LFXC | 56 QFN – 无铅 | 16K | 26 | – |
| CY7C68013A-56BAXC | 56 VFBGA – 无铅 | 16K | 24 | – |
| 开发工具包 | | | | |
| CY3684 | EZ-USB FX2LP 开发工具包 | | | |
| 参考设计包 | | | | |
| CY4611B | 使用 EZ-USB FX2LP 的 USB 2.0 到 ATA/ATAPI 参考设计 | | | |

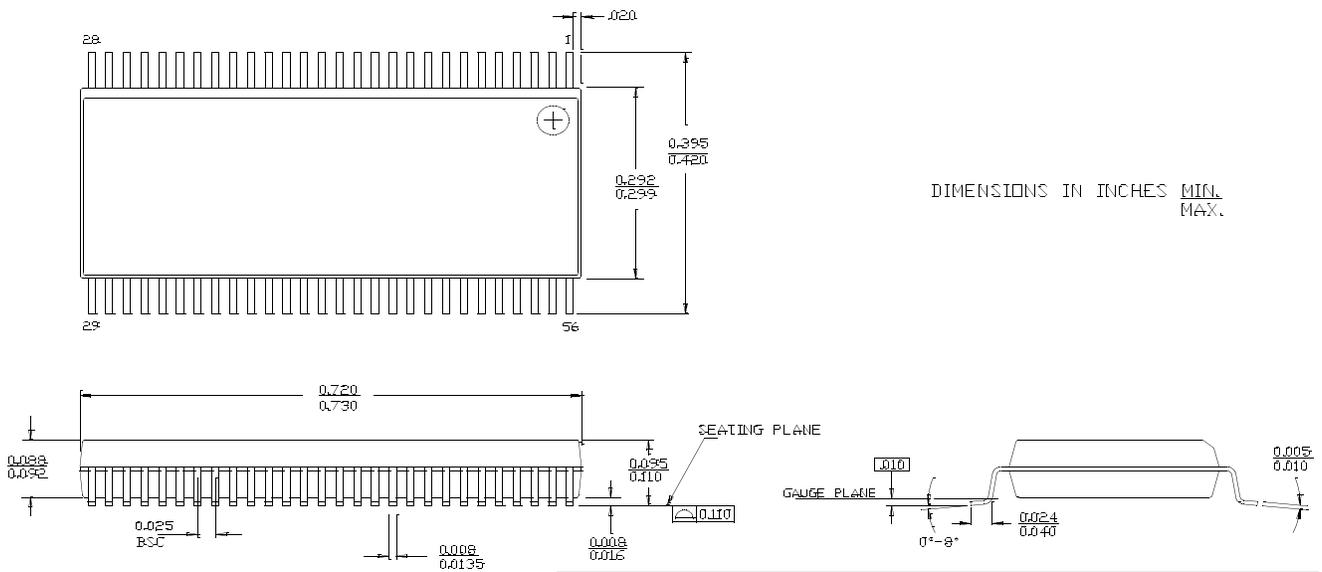
12. 封装图

FX2LP 有五种封装供选择:

- 56 引脚 SSOP
- 56 引脚 QFN
- 100 引脚 TQFP
- 128 引脚 TQFP
- 56 球形引脚 VFBGA

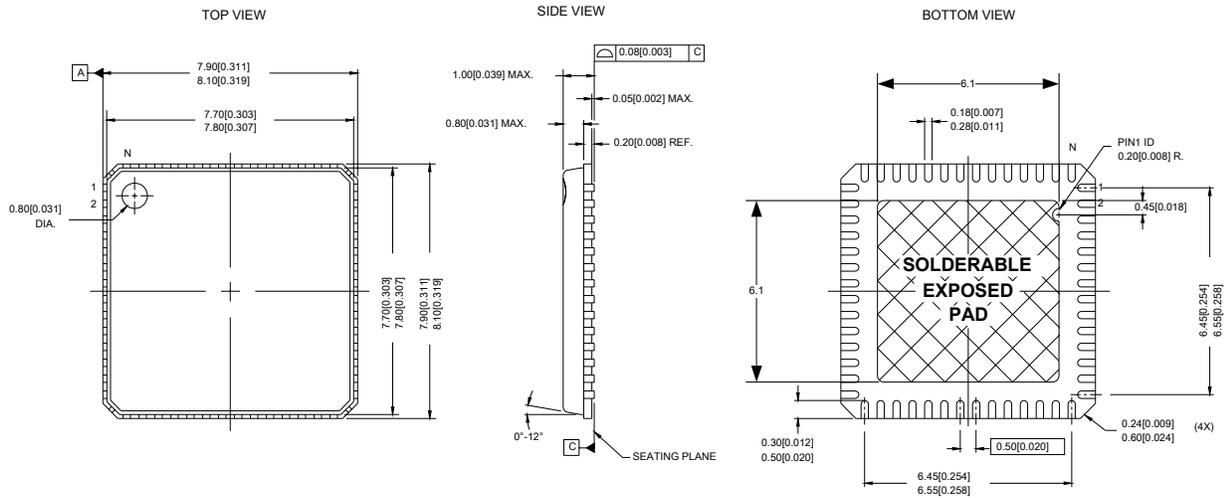
封装图

图 35. 56 引线紧致型封装 O56 (51-85062)



封装图 (续)

图 36. 56 引线 QFN 8 x 8 mm LF56A (51-85144)



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 0.162g
4. ALL DIMENSIONS ARE IN MM [MIN/MAX]
5. PACKAGE CODE

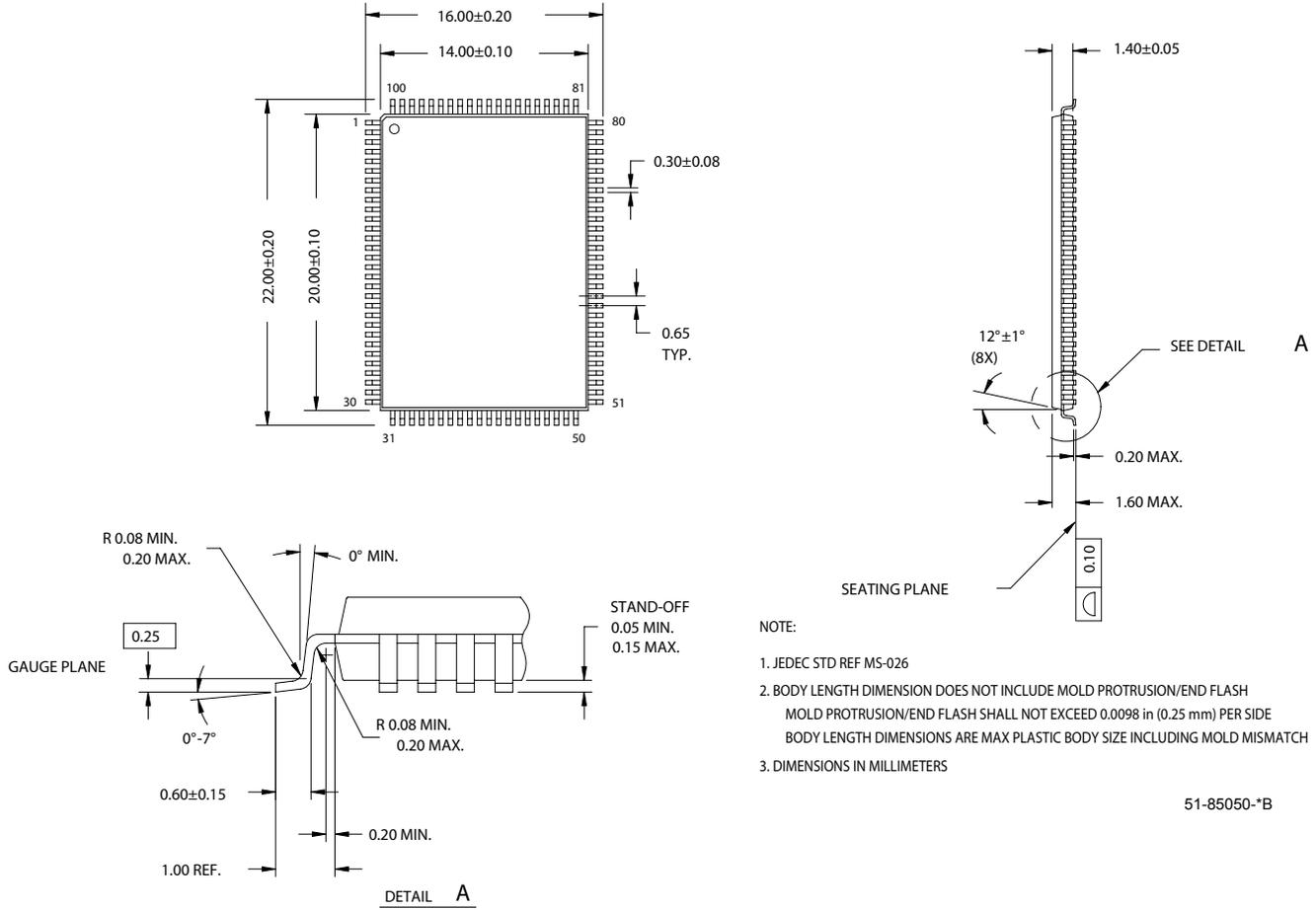
| PART # | DESCRIPTION |
|--------|-------------|
| LF56 | STANDARD |
| LY56 | PB-FREE |

(SUBCON PUNCH TYPE PKG with 6.1 x 6.1 EPAD)

51-85144-°G

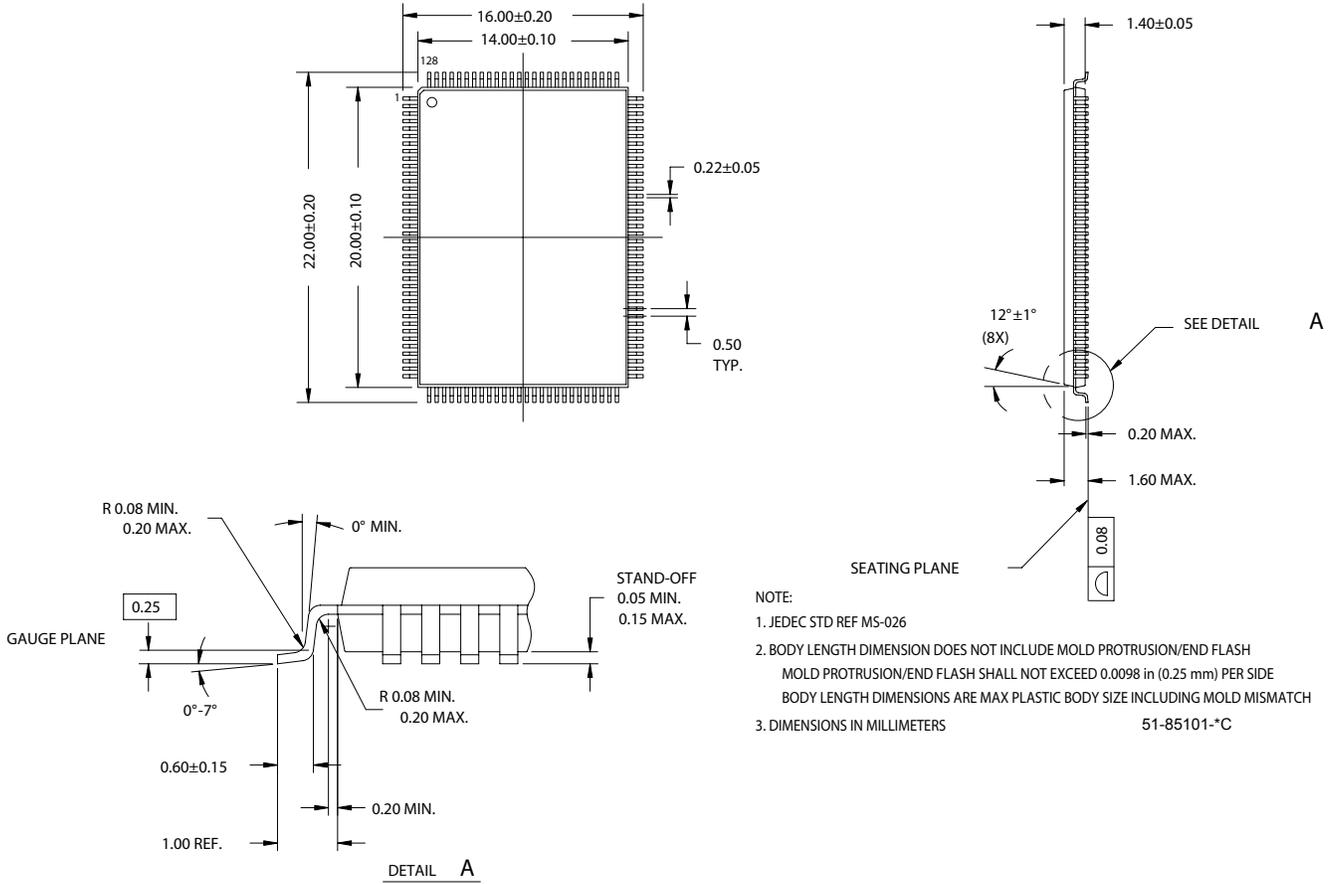
封装图 (续)

图 37. 100 引脚薄塑料方形扁平封装 (14 x 20 x 1.4 mm) A100RA (51-85050)



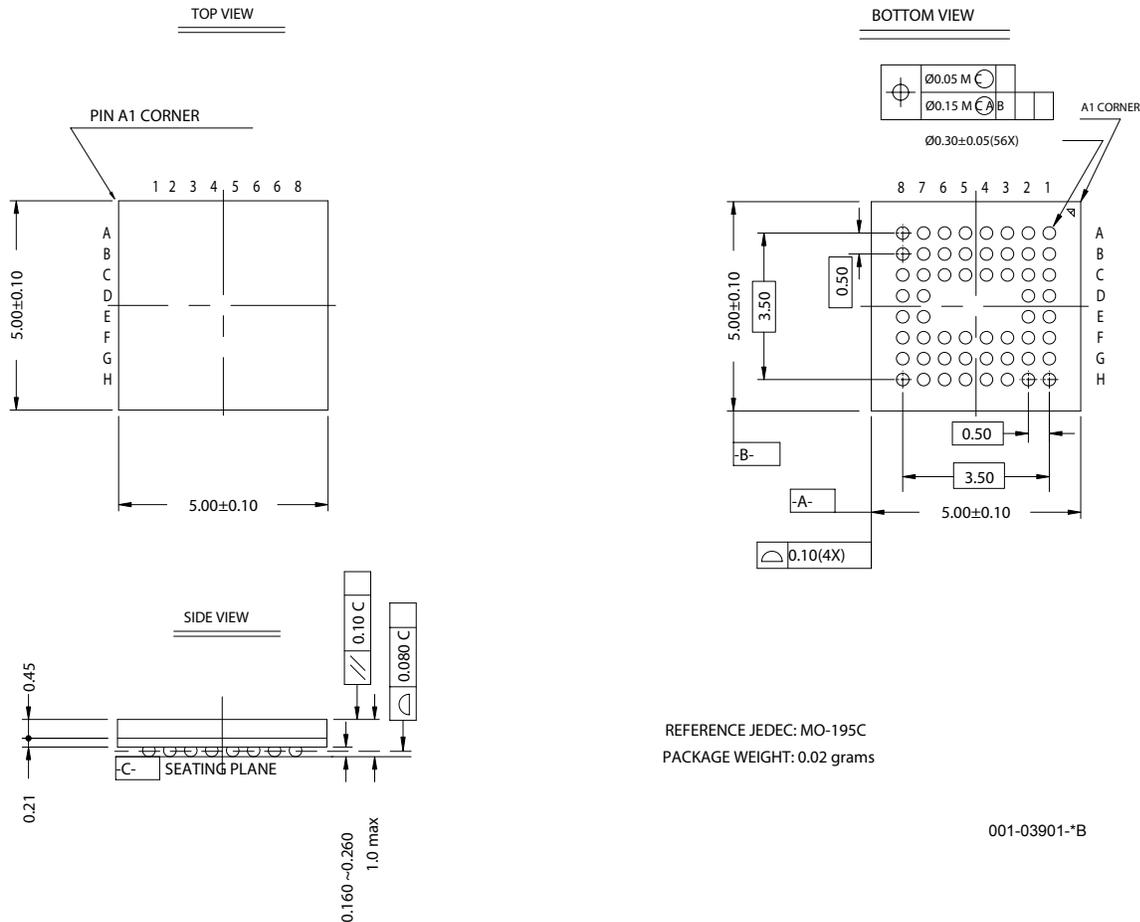
封装图 (续)

图 38. 128 引线薄塑料方形扁平封装 (14 x 20 x 1.4 mm) A128 (51-85101)



封装图 (续)

图 39. 56 VFBGA (5 x 5 x 1.0 mm) 0.50 孔距, 0.30 球形引脚 BZ56 (001-03901)



13. PCB 布局建议

按照这些建议执行操作可以确保可靠的高性能运行：^[24]

- 需要四层阻抗控制板来维护信号质量。
- 指定阻抗目标（询问您的电路板厂商他们能够实现什么样的目标）。
- 为控制阻抗，维护跟踪宽度和跟踪间隔。
- 通过将占位程序最小化，使反射信号最小化。
- USB 连接器外壳和信号接地端之间的连接必须靠近 USB 连接器。

- 建议绕开 VBus 上的盖子（靠近连接器），并采用逆向连接。
- DPLUS 和 DMINUS 轨迹长度应保持彼此间隔 2 mm，最佳长度为 20 至 30 mm。
- 在 DPLUS 和 DMINUS 轨迹下保持完整的铺地层。请勿让这些轨迹分割铺地层。
- 请勿在 DPLUS 或 DMINUS 轨迹路径上放置通孔。
- 将 DPLUS 和 DMINUS 轨迹与所有其他信号轨迹分开，间隔不低于 10 mm。

注

24. 建议来源：《EZ-USB FX2™ PCB Design Recommendations》（EZ-USB FX2 槽 CB 设计建议），http://www.cypress.com/cfuploads/support/app_notes/FX2_PCB.pdf 和《High-Speed USB Platform Design Guidelines》（高速 USB 平台设计指导原则），http://www.usb.org/developers/docs/hs_usb_pdg_r1_0.pdf。

14. 方形扁平封装无铅 (QFN) 封装设计说明

部件与印刷电路板 (PCB) 的电接触是通过将封装底表面上的铅焊接到 PCB 而制成的。因此，需要对封装下面的热传递区域特别留意，以便为电路板提供良好的热结合层。设计时要在 PCB 中加一层铜 (Cu) 质填充物，作为封装下面的热垫片。热量通过设备封装底侧的金属片从 FX2LP 向外传递。从这里发出的热量将传导到 PCB 上的热垫片。然后又从热垫片传导到 PCB 内部的铺地层 (5 x 5 阵列的通孔)。通孔是 PCB 中的一个板穿孔，其修整直径为 13 mil。QFN 的金属芯片必须焊接到 PCB 的热垫片上。阻焊层置于电路板顶侧并盖住每个通孔，以防止焊料流入通孔。顶侧的阻焊层还可以最大限度地降低焊接回流过程中凝结现象。

有关该封装设计的详细信息，请参考 Amkor MicroLeadFrame (MLF) 封装的表面安装装配应用手册。您可以在 Amkor 网站 <http://www.amkor.com> 上找到该手册。

该应用手册提供了有关电路板安装指导原则、焊接流程、重做过程的详细信息。

图 40 显示了封装下面的横截面区域。该横截面仅包含一个通孔。焊膏模板应设计为至少允许 50% 的焊料覆盖面积。焊膏模板的厚度应为 5 mil。请使用免清洗 3 型焊膏来安装部件。建议在回流期间使用氮净化。

图 41 是阻焊层样式图，图 42 显示了装配的 X 射线图像 (较暗区域表示焊料)。

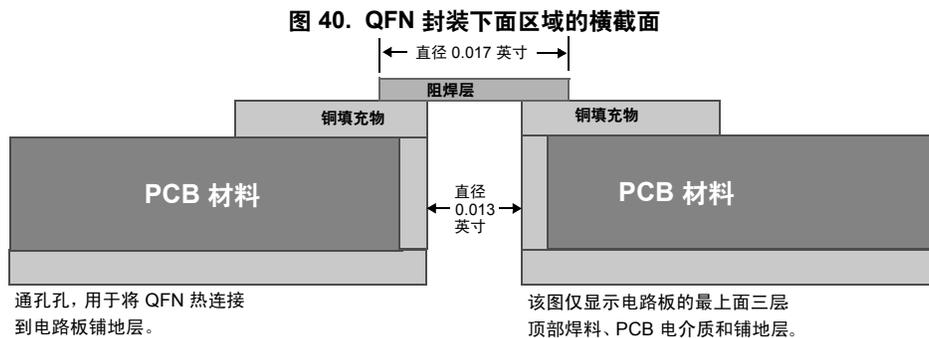


图 41. 阻焊层图 (白色区域)

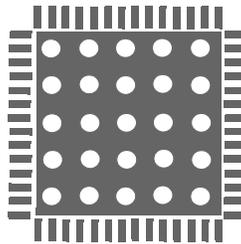
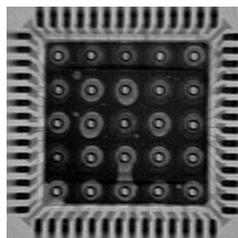


图 42. 装配的 X 射线图像



文件历史记录页面

| 文件标题: EZ-USB FX2LP (TM) USB 微控制器高速 USB 外设控制器 | | | | |
|----------------------------------------------|---------|------------------|------|-------------------|
| 文件编号: 001-50431 | | | | |
| 修订版本 | ECN 编号 | 发布日期 | 变更来源 | 变更说明 |
| ** | 2616558 | 2008 年 12 月 11 日 | HJIA | Spec 38-08032 的译文 |

“本应用手册为英文版本的译本，而非原始材料。应用手册编号由英文版本编号加语言代码组成，ZH 代表中文，JA 代表日文。例如，ANxxxxx (ZH) 或 ANxxxxx (JA)。赛普拉斯文件编号和修订代码 (001-xxxxx 修订版 **) 位于本文件的页脚。每份文件的文件编号和修订代码均是唯一的。”

© 赛普拉斯半导体公司，2003-2008。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌电路之外，赛普拉斯半导体公司不对其它任何电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证，也不适用于医疗、生命支持、救生、关键控制或安全应用等用途。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司所有，并受到全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此源代码进行任何复制、修改、转换或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受到适用的赛普拉斯软件许可协议限制。