

基于 FIFO 的串口发送机设计

该实验主要实现一个串口发送器功能,该发送器的数据是从 FIFO 中读取的。也就是说,只要 FIFO 中有数据,串口发送器就会启动,将数据发送出去。

如图 5.60 所示,该串口发送器由三个模块组成。datagene 模块每 1s 产生 16 个字节递增的数据,这些数据将会写入 fifo232 中例化的一个 256 字节大小的 FIFO 中。一旦检测到 FIFO 中有数据,uart_ctrl 模块就会将 FIFO 中的数据读出并通过串口发送出去。大家可以用串口线连接 SF-EP1C 板和 PC 机,通过串口调试助手查看收到的数据是否是一组不停递增的数据。

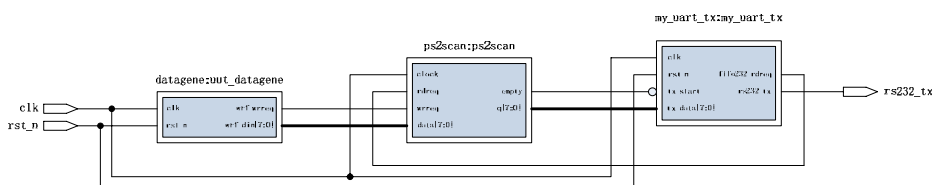


图 5.60 串口发送器 RTL 视图

该实验各个管脚的接口定义如表 5.23 所示。

表 5.23 串口发送机接口定义

信号名称	方向	描述
clk	input	时钟信号, 25MHz
rst_n	input	复位信号, 低电平有效
rs232_tx	output	74HC595 的并行时钟输入, 上升沿将当前串行输入数据并行输出

fifo232 是对 FIFO 的例化, FIFO 的配置方式和 RAM 等基本相同, 只要在选择 IPcore 时如图 5.61 进行选择即可。

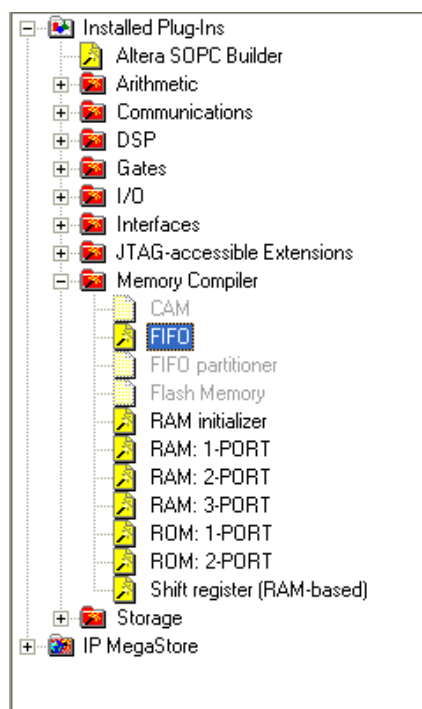


图 5.61 选择配置 FIFO

具体的配置过程这里只简单的做一点介绍。大家也可以直接双击工程窗口的 fifo232 查看详细配置方法。进入 FIFO 的配置页面后，Parameter Settings 里的 “Width, Clks, Synchronization” 如图 5.62 所示。该页面的配置说明如下：

- “How wide should the FIFO be?” 后的下拉框里选择 FIFO 的位宽。
- “How deep should the FIFO be?” 后的下拉框中选择 FIFO 的深度。

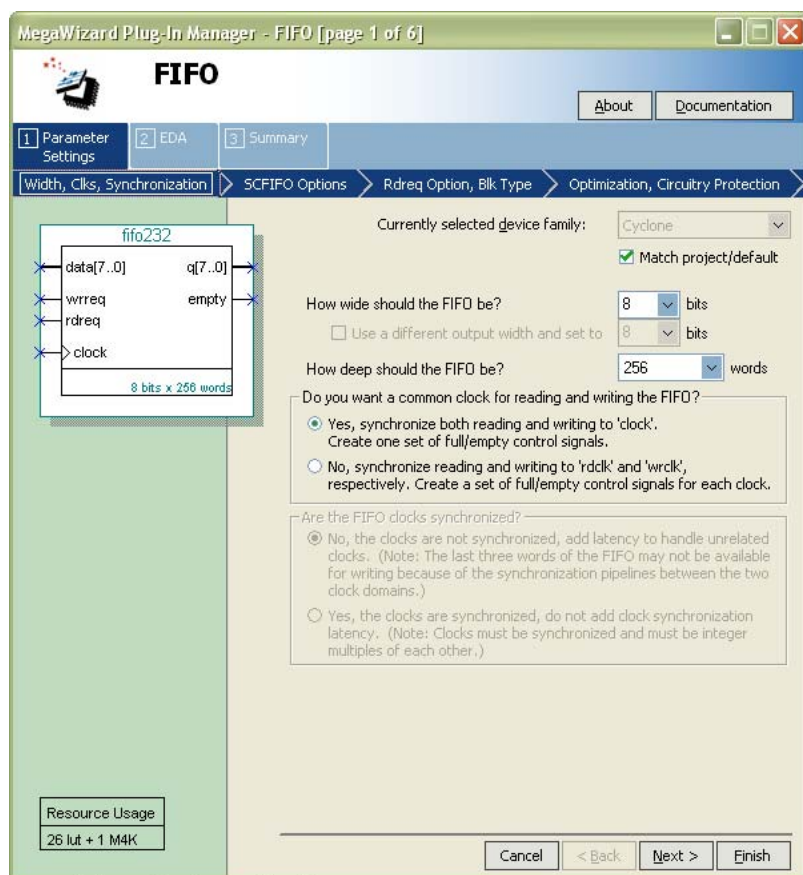


图 5.62 FIFO 的配置

串口发送模块是移植了之前的串口自收发通信实验的部分代码，大家消化了前面的串口自收发实验后这个模块就容易理解了。该实验重点把握数据流是如何在各个控制信号的控制下进行传输。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书，欢迎各位网友到时购买，作为本视频和学习板/开发板的参考教材

特权

2009. 11