

## 第六集

### 三人表决器的项目工程讲解

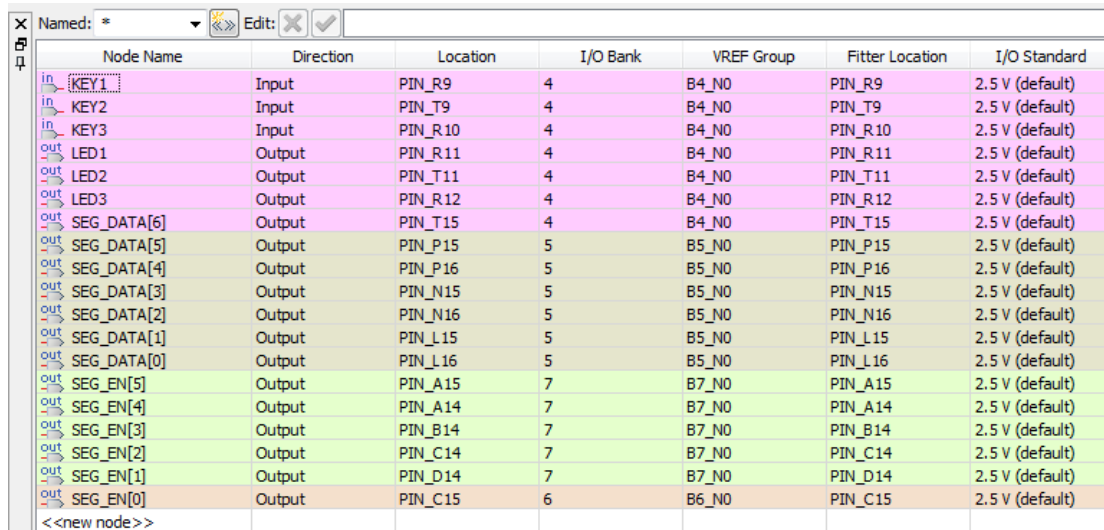
#### § 1.9 用外设来实现三人表决器

##### 1.9.1 功能概述

前边基础越牢固,后面学起来就越轻松,因为它们是有一个进阶关系的。首先我们要知道如何利用 FPGA 实现三人表决电路,第二,我们要会控制外设 LED、按键和数码管,然后我们只要将其拼合在一起,就是一个实际应用小工程。做项目思路也是如此,当碰到一个大项目,我们会将这个大项目分成若干个小模块,然后实现一个个小模块,最终拼合成大工程。我们这里是用按键作为输入进行人机交互实现投票功能,当按下按键其相对应的 LED 将会点亮,表示该按键进行了投票。FPGA 实现三人表决电路,数码管是用来显示投票的总票数。

##### 1.9.2 设计说明

新建工程,命名为“A4\_Vote4”,把这个工程放在专门的文件夹下,其他设置参考1.4Quartus基础章节。新建 Verilog 源文件,命名为“A4\_Vote4.v”,输入设计代码,综合编译后进行引脚分配,本例程的引脚分配如图 1.43 所示。



Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
KEY1	Input	PIN_R9	4	B4_NO	PIN_R9	2.5 V (default)
KEY2	Input	PIN_T9	4	B4_NO	PIN_T9	2.5 V (default)
KEY3	Input	PIN_R10	4	B4_NO	PIN_R10	2.5 V (default)
LED1	Output	PIN_R11	4	B4_NO	PIN_R11	2.5 V (default)
LED2	Output	PIN_T11	4	B4_NO	PIN_T11	2.5 V (default)
LED3	Output	PIN_R12	4	B4_NO	PIN_R12	2.5 V (default)
SEG_DATA[6]	Output	PIN_T15	4	B4_NO	PIN_T15	2.5 V (default)
SEG_DATA[5]	Output	PIN_P15	5	B5_NO	PIN_P15	2.5 V (default)
SEG_DATA[4]	Output	PIN_P16	5	B5_NO	PIN_P16	2.5 V (default)
SEG_DATA[3]	Output	PIN_N15	5	B5_NO	PIN_N15	2.5 V (default)
SEG_DATA[2]	Output	PIN_N16	5	B5_NO	PIN_N16	2.5 V (default)
SEG_DATA[1]	Output	PIN_L15	5	B5_NO	PIN_L15	2.5 V (default)
SEG_DATA[0]	Output	PIN_L16	5	B5_NO	PIN_L16	2.5 V (default)
SEG_EN[5]	Output	PIN_A15	7	B7_NO	PIN_A15	2.5 V (default)
SEG_EN[4]	Output	PIN_A14	7	B7_NO	PIN_A14	2.5 V (default)
SEG_EN[3]	Output	PIN_B14	7	B7_NO	PIN_B14	2.5 V (default)
SEG_EN[2]	Output	PIN_C14	7	B7_NO	PIN_C14	2.5 V (default)
SEG_EN[1]	Output	PIN_D14	7	B7_NO	PIN_D14	2.5 V (default)
SEG_EN[0]	Output	PIN_C15	6	B6_NO	PIN_C15	2.5 V (default)

图 1.43 外设的管脚分配图

接下来,对工程进行全编译,不仅要让刚刚添加的引脚分配生效,也要生成可以下载到FPGA芯片中的配置文件。

##### 1.9.3 源码解析

本实例代码中设计了2个输出总线为SEG\_DATA和SEG\_EN,其中SEG\_DATA包含7个输出端口SEG\_DATAa, SEG\_DATAb, SEG\_DATAc, SEG\_DATAd, SEG\_DATAe,

SEG\_DATAf, SEG\_DATAg, 分别对应的是数码管的 a, b, c, d, e, f, g 七个数据位, 即控制数码管显示什么数字。SEG\_EN 包含 6 个输出端口 SEG\_EN1, SEG\_EN2, SEG\_EN3, SEG\_EN4, SEG\_EN5, SEG\_EN6, 分别对应的是六个数码管上的片选端, 即控制数码管的亮和灭, 这里我们省略了小数点 DP 数据位。代码中我们还设计了 3 个输入端口 KEY1、KEY2、KEY3 和 3 个输出端口 LED1、LED2、LED3。我们通过编写相应代码下载到 FPGA 中, FPGA 管脚输出数据直接到数码管上, 便可实现点亮数码管功能。功能框图如图 1.44 所示。

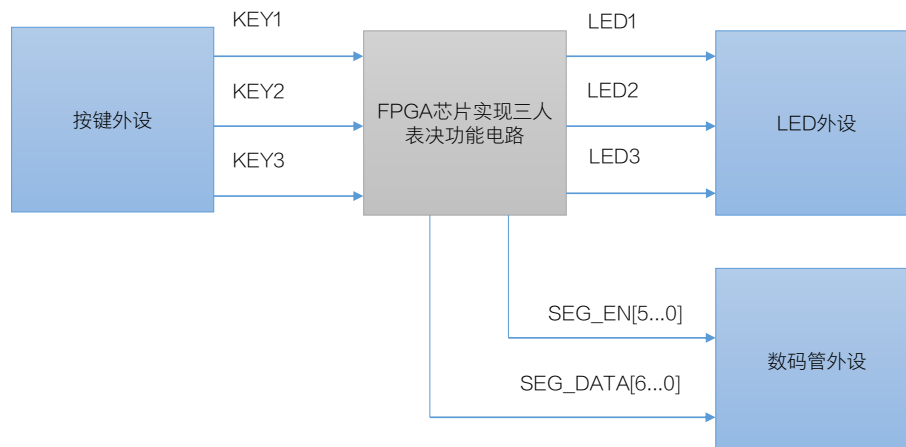


图 1.44 三人表决器的逻辑功能框图

下面我们给出该实例的 Verilog 代码, 如代码 1.9 代码 1.7 所示。

代码 1.9 三人表决器的 Verilog 代码

1	<code>module A4_Vote4</code>	<code>//模块名 A4_Vote4,即模块的开始</code>
2	<code>(</code>	
3	<code>//输入端口</code>	
4	<code>KEY1,KEY2,KEY3,</code>	
5	<code>//输出端口</code>	
6	<code>LED1,LED2,LED3,SEG_DATA,SEG_EN</code>	
7	<code>);</code>	
8		
9	<code>input</code>	<code>KEY1,KEY2,KEY3; //按键</code>
10	<code>output</code>	<code>LED1,LED2,LED3; //LED</code>
11	<code>output [5:0]</code>	<code>SEG_EN; //数码管使能管脚</code>
12	<code>output reg [6:0]</code>	<code>SEG_DATA; //数码管数据管脚</code>
13		
14	<code>parameter</code>	<code>SEG_NUM0 = 7'h3f; //数字 0</code>
15		<code>SEG_NUM1 = 7'h06; //数字 1</code>
16		<code>SEG_NUM2 = 7'h5b; //数字 2</code>
17		<code>SEG_NUM3 = 7'h4f; //数字 3</code>
18		
19	<code>always @ (*)</code>	<code>//组合电路,实现三人表决器电路(行为描述)</code>
20	<code>begin</code>	
21	<code>case({KEY3,KEY2,KEY1})</code>	<code>//检测按键是否按下,按下为 1,悬空为 0</code>
22	<code>3'b000 :</code>	<code>SEG_DATA = SEG_NUM0; //当有 0 个按键按下时,数码管就显示数字 0</code>

```

23      3'b001 : SEG_DATA = SEG_NUM1; //当有 1 个按键按下时，数码管就显示数字 1
24      3'b010 : SEG_DATA = SEG_NUM1; //当有 1 个按键按下时，数码管就显示数字 1
25      3'b011 : SEG_DATA = SEG_NUM2; //当有 2 个按键按下时，数码管就显示数字 2
26      3'b100 : SEG_DATA = SEG_NUM1; //当有 1 个按键按下时，数码管就显示数字 1
27      3'b101 : SEG_DATA = SEG_NUM2; //当有 2 个按键按下时，数码管就显示数字 2
28      3'b110 : SEG_DATA = SEG_NUM2; //当有 2 个按键按下时，数码管就显示数字 2
29      3'b111 : SEG_DATA = SEG_NUM3; //当有 3 个按键按下时，数码管就显示数字 3
30      default: SEG_DATA = SEG_NUM0;
31  endcase                                     //case 语句的结束
32 end                                           //begin 语句的结束

```

### 1.9.4 板级调试

最后，我们将 Quartus 编译生成的 A4\_Vote4.sof 文件下载到开发板中，接着我们会发现开发板上的 SEG6 数码管将会点亮显示 0，这是因为没有按键按下，当我们将三个按键全部按键，可以看到 LED 灯将全亮，数码管也同时显示 3，如图 1.45 所示。

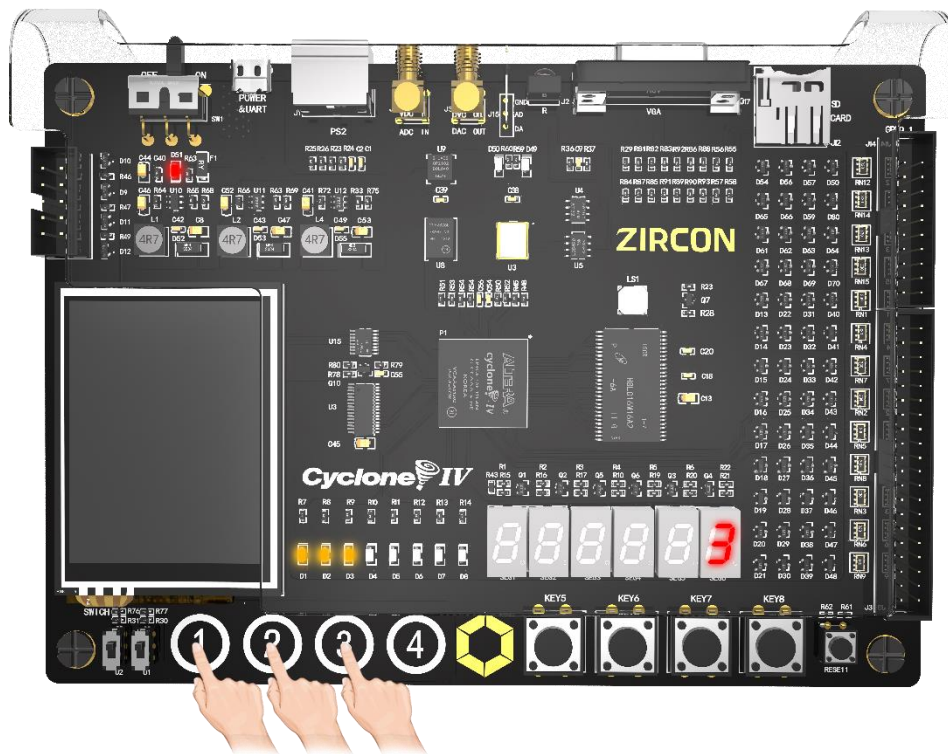


图 1.45 三人表决器板级调试图