

第七集

时序电路知识复习

通过前两章的学习,我们完成了三人表决器项目,在学习三人表决器的项目中,不知道大家有没有发现这么一个问题,那就是我们学的所有的外设都是用的组合电路来实现的,并没有涉及到时序电路,这主要是因为,时序电路比组合电路会稍微难上一点,我们只有掌握了组合电路,我们才能够进一步进阶学习时序电路。老规矩,在开始设计我们的数字时钟项目之前,我们先来看下我们的数字时钟项目划分为哪几个知识点,如图 1.46 所示。

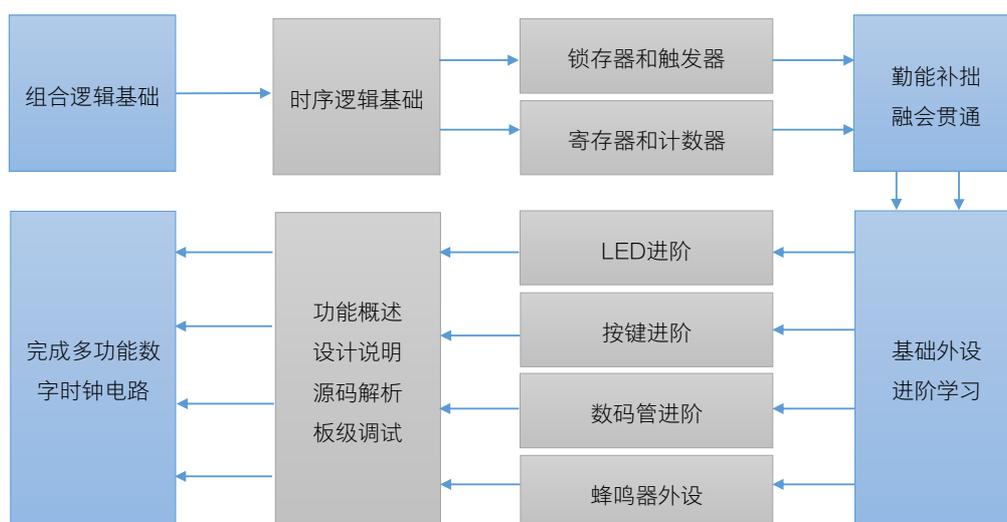


图 1.46 实现数字时钟的工程框架图

通过该框架图我们可以看出,首先我们应该从时序电路基础入手,从而学习锁存器、触发器、寄存器和计数器这四个最基本的时序电路。对于这部分知识,如果你在之前已经看过了我们的《数字电路篇》,那么我们相信这些知识你都已经很好的掌握了,当然如果你学习的太久,对这部分知识有所遗忘,那么你也无需担心,我们将会带领大家进行一个简单的复习,帮助大家巩固复习这部分知识。当我们学习完了时序电路基础以后,我们就可以进一步学习我们的LED、按键、数码管和蜂鸣器这四个外设了,这里我们需要注意的是,我们学习的LED、按键和数码管这三个外设,不在是前面那样简单的使用组合电路控制了。这里的这三个外设我们再原有的基础上增加了难度,将会使用时序电路来控制它们。当我们熟练的能够使用时序电路来控制我们的外设以后,我们就可以将以上所学的知识进行一个结合,最终实现我们整个数字电路时钟项目。

§ 1.10 锁存器和触发器

1.10.1 锁存器

通过上面的分析,想必大家对整个项目框架有了一定的了解,下面我们就来学习整个框架的第一部分时序逻辑基础知识,如图 1.47 所示。

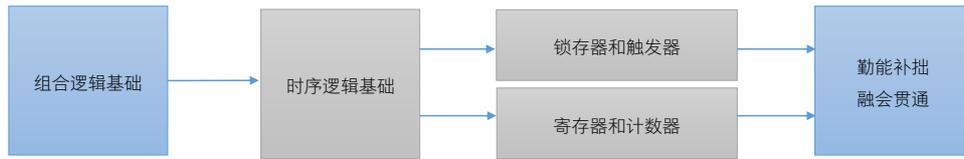


图 1.47 数字时钟总体分析学习框架图

首先我们要说的是锁存器，锁存器 (Latch) 是一种对输入脉冲电平敏感的存储电路，它具有记忆功能，它只在输入脉冲的高电平(或低电平)期间对输入信号敏感并改变状态。在数字电路中可以记录二进制数字信号“0”和“1”。这里我们就以 D 锁存器为例进行讲解，所谓的 D 锁存器，就是能够将输入端的单路数据 D 存入到锁存器中的电路，下面我们给出 D 锁存器的电路图，如图 1.48 所示。

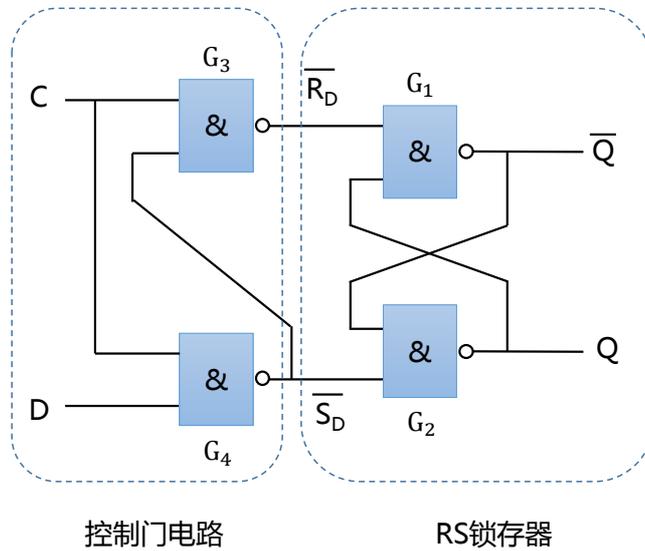


图 1.48 D 锁存器的电路图

从 D 锁存器的电路图中我们可以看出，该电路主要是由两个部分组成，第一个部分是由 G_1 、 G_2 两个与非门组成的 RS 锁存器，第二个部分是由 G_3 、 G_4 两个与非门组成的控制门电路。 C 为控制信号，它被加到了 G_3 、 G_4 两个与非门的输入端上，用来控制激励信号的输入。

下面我们来分析一下 D 锁存器的工作原理，当控制端 $C = 0$ 时，根据与非门的逻辑规律，无论此时 D 等于什么， $\overline{R_D}$ 和 $\overline{S_D}$ 都同时等于 1，根据由与非门组成的 RS 锁存器的逻辑规律， $\overline{R_D}$ 和 $\overline{S_D}$ 都同时等于 1 的话，锁存器的输出端 Q 将维持原状态不变。那么，当控制端 $C = 1$ 时，如果此时 $D = 0$ ， $\overline{S_D}$ 就等于 1， $\overline{R_D}$ 就等于 0，根据 RS 锁存器的逻辑规律，电路的结果就为 0 状态；如果 $D = 1$ ，那么 $\overline{R_D}$ 就等于 1， $\overline{S_D}$ 也就等于 0，锁存器的结果就为 1 状态，也就是说，此时锁存器的状态是由激励输入端 D 来确定的，并且 D 等于什么，锁存器的状态就是什么，这就是我们前面所说的，将单路数据 D 存入到锁存器之中。

根据上面的讲解，我们已经知道了 D 锁存器的逻辑功能了。下面我们就根据逻辑功能，来写出它的特性表，如表 1.5 所示。

表 1.5 D 锁存器的特性表

C	D	Q^n	Q^{n+1}
0	X	0	0
0	X	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

从D锁存器的特性表中我们可以看出,如果 $D=0$,那么 Q_{n+1} 就等于0,如果 $D=1$,那么 Q_{n+1} 就等于1。我们根据这里的特性表便可以写出它的特性方程,还是按照老方法,将输出等于1的项提出来后,组成一个与或式,那么这里我们就不一步步的化简了,直接给出化简后的特性方程:

$$Q_{n+1} = D$$

接下来我们再来画出它的状态图,如图 1.49 所示。

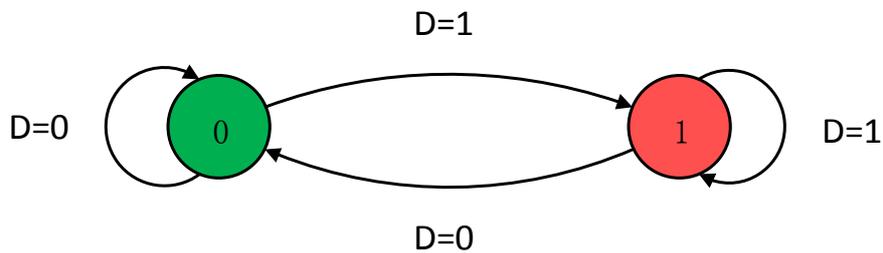


图 1.49 D 锁存器的状态图

从状态图中我们可以看出,当 D 在0状态时,也就是输入 $D=0$ 时,输出 Q_{n+1} 将保持0状态,当输入 $D=1$ 时,那么输出 Q_{n+1} 将从0变为1。

下面我们画出它的波形图,如图 1.50 所示。

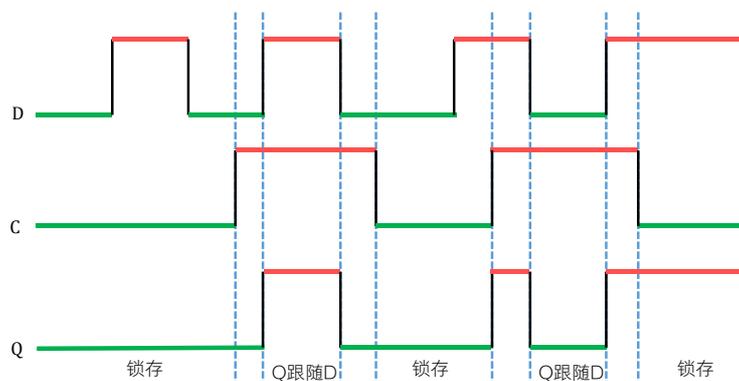


图 1.50 D 锁存器的波形图

从D锁存器的波形图图中我们可以看出， D 是锁存器的输入信号， C 是锁存器的控制信号， Q 是锁存器的输出信号，当控制信号 C 为高电平时，输出信号 Q 将跟随输入信号 D 的变化而变化，大家看虚线内， Q 的波形等于 D 的波形。当控制信号 C 从高电平变为低电平时，输入信号 D 的状态将会决定锁存器将要锁存的状态。大家可以看， C 由高变低的那两条虚线内，所对应的输入信号 D 为低电平，那么输出信号 Q 也将会锁存低电平。最后面的那两条虚线也同理， D 为高电平， Q 锁存高电平，至此关于D锁存器的内容我们就复习啦。

1.10.2 触发器

说完了锁存器，接下来我们再来说一下触发器，触发器(Flip-Flop)是一种对脉冲边沿敏感的存储单元电路，它也具有记忆功能，它只在触发脉冲的上升沿(或下降沿)瞬间改变其状态。在数字电路中记录二进制数字信号“0”和“1”。这里我们就以D触发器为例进行讲解，下面我们给出D触发器的电路图，如图1.51所示。

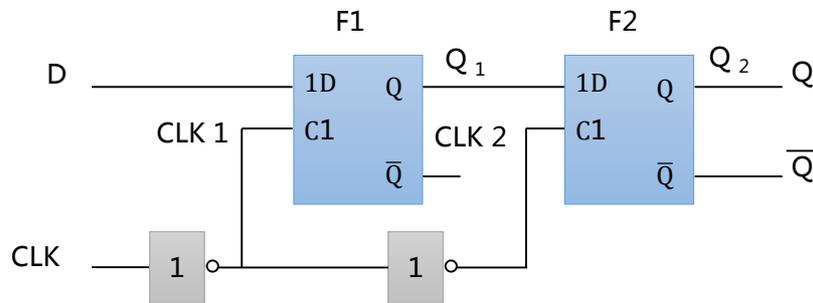


图 1.51 D 触发器的电路图

从D触发器的电路图中我们可以看出，该电路是由两个相同的D锁存器以及两个非门连接而成的，图中的 $F1$ 和 $F2$ 就是D锁存器的电路符号， $F1$ 为主锁存器， $F2$ 为从锁存器，由于主锁存器的输出信号 Q_1 就是从锁存器的输入信号，因而造成了两个锁存器的主从关系，这两个锁存器的控制信号都由外部时钟信号 CLK 提供。

下面我们来分析D触发器是如何工作的，并且看看它是否能够解决空翻的现象。当 $CLK = 0$ 时， CLK 经过非门后直接 $F1$ 的控制信号，那么此时 $F1$ 的控制信号为1， $F1$ 被选通，处于工作状态，如果现在输入信号 D 为1的话，它经过 $F1$ ， $F1$ 的输出 Q_1 将为1，这里的 Q_1 ，不仅是 $F1$ 的输出信号，也同时是 $F2$ 的输入信号，不过现在 $F2$ 的控制信号为0， $F2$ 被封锁了，处于保持状态，输入信号 D 没有办法直接改变输出 Q 的状态，这是前半拍的工作情况，也就是说，输入信号先存入主锁存器中，而不直接影响输出 Q 的状态。下面我们再来看后半拍，外部的控制信号 CLK 由0变为1了，这个1，经过非门后直接作为 $F1$ 的控制信号，那么此时 $F1$ 的控制信号为0，主锁存器 $F1$ 就被封锁了，它的输出 Q_1 将保持在当前的状态，即使现在输入信号 D 再发生改变， Q_1 的值也不再受影响了。而 $F2$ 的控制信号 CLK 此时为1， $F2$ 处于工作状态， Q_1 将会作为 $F2$ 这个从锁存器的输入信号，直接影响到输出信号 Q 的状态。 Q_1 为1，那么根据D锁存器的逻辑规律，输出的 Q 将为1， Q 非将为0。这就是后半拍的工作情况，在后半拍里我们才能实现整个电路状态的改变，因此从上面的分析中我们就可以看出，在 CLK 信号由0变为1，这样的一个变化周期内，触发器的输出状态只可能改变一次，这样就克服了锁存器中存在的

空翻现象。

通过 D 锁存器和 D 触发器的学习,细心的读者应该已经发现了,D 锁存器与 D 触发器的逻辑功能其实是相同的,只不过它们的触发方式有所不同。接下来我们通过将 D 触发器的波形图与前面 D 锁存器的波形图进行比较,来看一看,它们的触发方式不同在哪里,如图 1.52 所示。

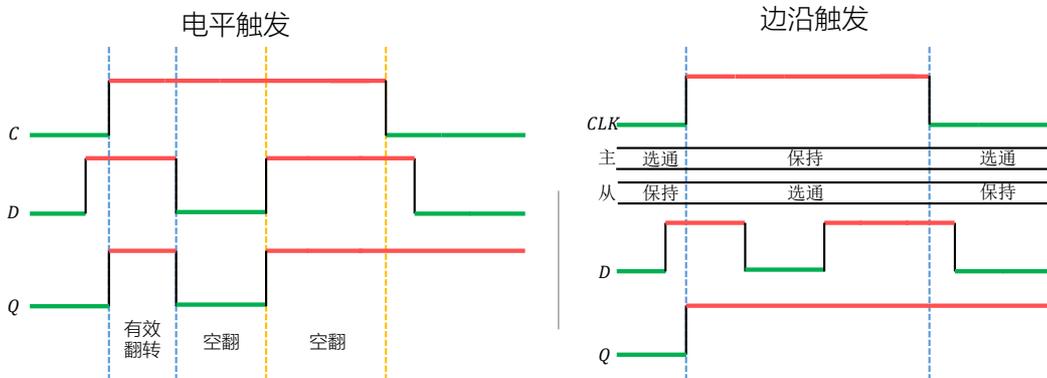


图 1.52 D 锁存器和 D 触发器的波形对比图

大家先看 D 触发器的波形图,D 触发器是在控制信号 CLK 为 0 时,才会接收输入信号 D 的值,并将这个值锁存起来,当控制信号 CLK 变为 1 时,输出信号 Q 才会被改变。那么 D 触发器,其实就是在 CLK 这个时钟信号由 0 变为 1 的这个边沿进行触发的,通常我们就将这种触发方式称为边沿触发,通过这种边沿触发方式的 D 触发器我们也将它称为边沿 D 触发器。

D 锁存器的触发方式是电平触发,和我们刚刚讲的边沿触发是有所不同的。这种不同是由于锁存器和触发器的电路结构不同,而造成的。这里需要注意的是,由于 D 锁存器的功能和 D 触发器的功能是一样的,所以在编写代码时很容易把 D 锁存器当成 D 触发器来使用,这种情况我们是应该要极力避免的。至此关于触发器的基础知识内容就已经讲完啦,在这里我们需要注意的是,在时序电路中,边沿触发器就是时序电路的核心知识,如果不懂边沿触发器,那么也就看不懂时序电路,下面我们讲解的寄存器和计数器其实都是用这些边沿触发器组合而成的。

§ 1.11 寄存器和计数器

1.11.1 寄存器

说完了触发器,接下来我们就说一说寄存器,其实我们只要搞明白、弄清楚触发器,寄存器也是分分钟就能够学会的。为什么会这样说呢,因为寄存器就是由多个触发器组成的,我们知道能够存储一位二进制码的时序电路叫做触发器,其实寄存器就是能够存储多位二进制数码的时序电路。为了让大家能够进一步了解和明白寄存器,下面我们举例进行说明,我们给出由四位 D 触发器组成的寄存器电路图,如图 1.53 所示。

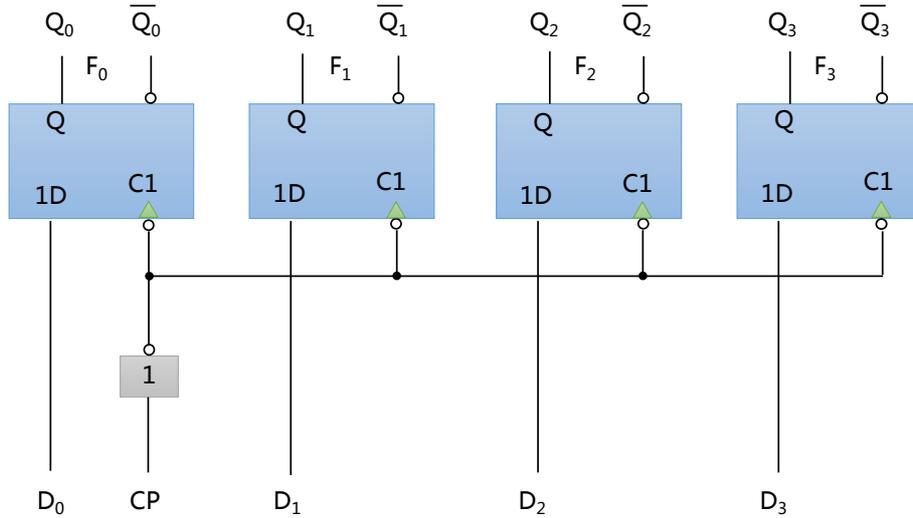


图 1.53 由四位 D 触发器组成的寄存器电路图

通过电路图我们可以看出， F_0 、 F_1 、 F_2 、 F_3 是 4 个边沿 D 触发器的电路符号，图中绿色的小三角则表示它们的触发方式是边沿触发，这个就是寄存器的基本结构，下面我们就来看看寄存器的工作原理。

如果此时我们给电路中的 CP 端一个脉冲的话，那么此刻 D_0 、 D_1 、 D_2 、 D_3 的值将被储存在寄存器里了。直到 CP 端下一个脉冲的上升沿到来时，储存的值才有可能被改变。根据这个特性我们可以列出该电路的特性表。如表 1.6 所示。

表 1.6 由四位 D 触发器组成的寄存器特性表

时钟	输入	输出	工作模式
CP	D_0 、 D_1 、 D_2 、 D_3	Q_0 、 Q_1 、 Q_2 、 Q_3	数码寄存
↑	D_0 、 D_1 、 D_2 、 D_3	D_0 、 D_1 、 D_2 、 D_3	
1	X、X、X、X	保持	数据保持
0	X、X、X、X	保持	数据保持

从特性表中我们可以看出，这种寄存器有两种工作状态，分别是寄存和保持。当时钟信号的上升沿到来时，电路将会触发， D_0 、 D_1 、 D_2 、 D_3 的值将被寄存，直到下一个时钟信号的上升沿到来之前，无论我们怎么改变输入信号的值，输出信号的值也不会改变。这就是基本寄存器的逻辑规律，非常的容易理解。

1.11.2 计数器

最后我们在来说一下计数器，计数器也是今后我们在 FPGA 设计中，最常用到的一种时序电路，所谓计数器就是一种能统计输入脉冲个数的时序电路，也就是说，我可以通过输出的结果看出来你一共来了多少次脉冲。这样的特性我们不仅可以直接用于计数，还可以用于定时，分频等多种功能。为了让大家能够进一步了解和明白计数器，这里我们同寄存器一样举例进行说明，下面我们给出计数器的电路结构图，如图 1.54 所示。

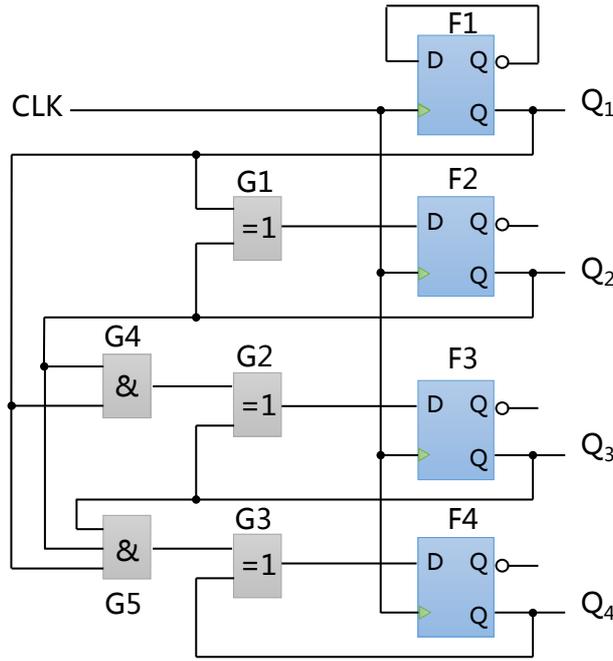


图 1.54 由四位 D 触发器组成的计数器电路图

这里的电路结构图还是稍微有点复杂的,我们并不能像看寄存器一样很直观的看出计数器的逻辑功能,大家看计数器的结构,它是由 F_1 、 F_2 、 F_3 和 F_4 这四个边沿 D 触发器,并加上三个异或门和二一个与门组成的。下面我们来通过分析了解一下这个电路是如何被用来计数的。

我们假设现在电路的初始状态是 0000,也就是输出端口 $Q_1Q_2Q_3Q_4 = 0000$,下面我们来看下这四个 D 触发器此时的输入信号是什么,我们先看 F_1 , F_1 的输入信号 D ,是由 $\overline{Q_1}$ 反馈回来的,我们已知此时的 Q 是 0,那么 $\overline{Q_1}$ 就是 1,这个 1 反馈给输入信号 D ,此时 F_1 的输入信号就是 1,下面再看 F_2 , F_2 的输入信号,是 Q_1 和 Q_2 的值经过一个异或门之后得到的,我们已经此时的 Q_1 是 0, Q_2 也是 0,那么这两个 0,经过异或门,根据异或门的逻辑规律,相同出 0,相异出 1,这里异或门的输出就是 0 了, F_2 的输入信号也是 0。下面再看 F_3 , F_3 的输入信号,是由 Q_1 和 Q_2 经过一个与门之后的输出值,与 Q_3 的值相异或得到的,我们看, Q_1 和 Q_2 都是 0,两个 0 相与,输出肯定还是 0,这个输出的 0,再与 Q_3 的值相异或,根据异或门的规律,两个输入现在都是 0,那么异或门的输出也是 0, F_3 的输入此时就是 0,讲完了 F_3 ,我们再来看 F_4 , F_4 的输入信号是由, Q_1 、 Q_2 和 Q_3 经过一个与门之后,得到的输出值,再与 Q_4 的值相异或得到的, Q_1 、 Q_2 和 Q_3 此时都是 0,它们相与之后,得到的输出值也还是 0,那么这个 0 再与 Q_4 的值相异或,根据异或门的逻辑规律,两个输入值都是 0,那么异或门输出也是 0, F_4 的输入此时就是 0。

到此,我们已经分析出了 F_1 、 F_2 、 F_3 和 F_4 ,这四个触发器此时的输入值了,下面我们就可以根据 D 触发器的逻辑规律知道下一刻电路的输出值了,那么,现在我们给 CLK 端口一个上升沿,也就是 CLK 由 0 变为 1 了,那么四个边沿 D 触发器将会同时触发,当 CLK 这个时钟信号的上升沿到来时, D 触发器的输入值将会被锁存,根据逻辑规律,下一刻 4 个 D 触发器的输出值就分别为 1,0,0,0。这里如果我们把 Q_4 的值当做二进制数的最高位,把 Q_1 的值当做二进制数的最低位,那么现在计数器所输出的值,就是二进制数 0001,也就是十进制的 1。计数器,接

收到了第一个时钟信号的上升沿,那么计数器就输出二进制数 0001,依次类推,如果第二个时钟信号的上升沿到来时,大家可以试着自己推一下,这个时候计数器将会输出二进制数 0010,也就是十进制数 2,每当电路多到来一个时钟上升沿,计数器就会作加 1 运算。当电路计到第十六个脉冲时,电路状态将由 1111 又变为 0000,完成一个循环周期,所以该电路也称为模 16 同步加法计数器。所谓同步就是指该电路中的四个边沿 D 型触发器共用一个时钟脉冲 CLK ,当时钟上升沿到来时,它们能够同时触发,这就叫同步,既然有同步,那肯定也有异步,所谓的异步就是它们不是共用一个时钟脉冲,且触发不是同时发生的。

那么,讲到这个,大家应该已经了解了计数器的工作原理了,下面我们根据上面的分析,画出模 16 同步加法计数器的特性表,如表 1.7 所示。

表 1.7 模 16 同步加法计数器的特性表

CLK	Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
.....
14	1	1	1	0	1	1	1	1
15	1	1	1	1	0	0	0	0

由于该特性表过于啰嗦,这里我们就省略了一部分内容,由于模 16 同步加法计数器的特性表比较容易理解,这里我们就不在进一步讲解,下面我们给出模 16 同步加法计数器的状态图,如图 1.55 所示。

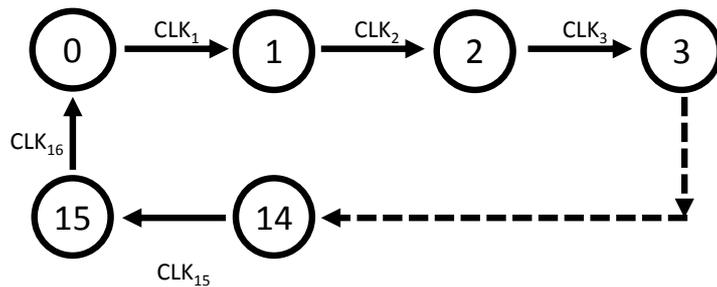


图 1.55 模 16 同步加法计数器的状态图

§ 1.12 数字时钟的理论实战

说完了计数器,下面我们就趁热打铁简单的说一说数字时钟的一个实现原理。我们知道数字时钟最基本的功能就是显示时、分、秒三个单位,这里我们就以单位秒为主进行讲解,当我们知道了秒是如何实现的以后,我们再想实现单位时和分也是非常容易的。

一个两位数的单位秒,我们可以从 0 一直累加计数到 59,然后再返回 0 循环进行累加,刚

刚我们说过一个可以从0到15循环累加的计数器,叫做模16计数器,那么我们这里从0到59循环累加,其实就是一个模60计数器,模60计数器的电路结构相比之前的模16是有点复杂的,如果我们想用门电路直接搭一个的话,还是有点麻烦的,所以一般情况,我们不选择直接用模60计数器来实现,而是选择用模6计数器加上模10计数器的方法实现,为什么要选择模10和模6呢,一个两位的秒,是分为个位和十位的,个位无非是要显示0到9这10个数,十位无非是要显示0到5这6个数,我们可以将十位和个位分开来进行计数,它的个位数字现在每间隔1秒变化一次,变化到9的时候,它下一刻将会归0,然后重新计数,而十位的数字每间隔10秒变化一次,变化到5的时候,它的下一刻也将会归0,然后重新计数,这就是两位数单位秒的一种实现方法,下面我给出两位数单位秒的电路示意图,如图1.56所示。

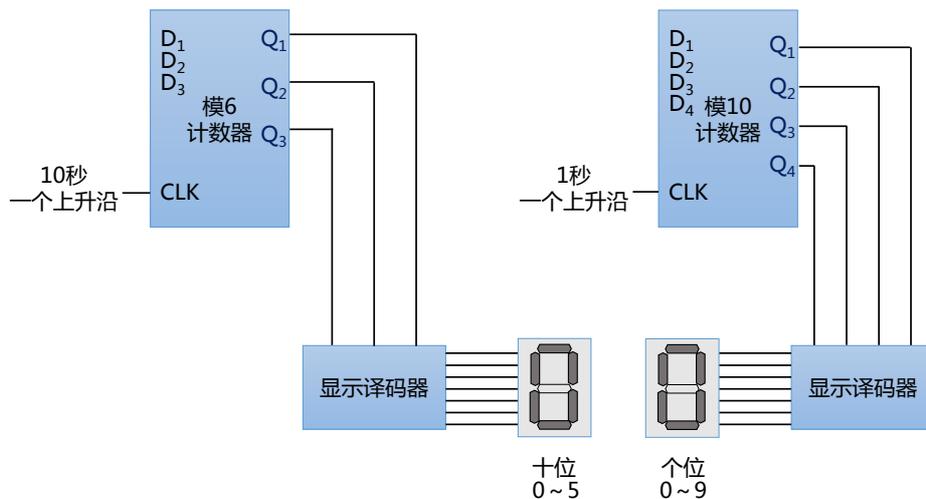


图 1.56 两位数单位秒的电路示意图

从电路示意图中我们可以看出,我们先将个位的数码管和十位的数码管分别与模10和模6计数器对应,然后,我们将这两个计数器的输出信号引出,连接到相应的译码器上,再通过译码器译码,将最终的数字显示在数码管上。这就是一个两位数秒表的电路结构了,这里我们要注意的,图中的两个计数器,它们的时钟信号不是共用的,模10计数器的时钟端,信号的上升沿是需要间隔1秒来一次,而模6计数器的时钟端,信号的上升沿是需要间隔10秒来一次的,具体怎么产生我们需要的时钟信号,这里就不具体讲了,我们将会在后边给大家进行讲解。当然实现这种电路的方法不仅仅只有这一种,我们还可以通过当模10计数器从9变成0的时候输出一个信号给模6计数器,让模6计数器工作一次来完成整个电路功能。通过上面的讲解与分析,大家有没有感觉到,想要实现一个数字时钟并不是想象中的那么难,我们只要实现了单位秒,后面的单位分和时完全可以依葫芦画瓢,使用同样的方法来实现。至此,我们整个框架的第一部分时序逻辑基础知识就复习完了,下面我们就来学习整个框架的第二部分外设进阶知识。