

本集视频正在制作中，敬请期待…

第二十二集

AD 外设的理论原理讲解

§ 1.30 AD控制原理

1.30.1 AD 基本概述

介绍完了 VGA 外设，接下来我们就来介绍第二个 AD 外设。说到 AD，我们先来说下什么是 AD，AD 的全称 Analog to Digital，简称 AD，中文名称是模拟转数字，其实我们从这个中文名称中就可以知道了它的功能，它的功能就是将时间连续、幅值也连续的模拟量转换为时间离散、幅值也离散的数字信号。由于我们的 A4 开发板上所采用的是 TLC549 AD 芯片，所以接下来我们主要介绍的是 TLC549 这个 AD 芯片。TLC549 是美国德州仪器公司生产低价位、高性能的 8 位串行模数转换芯片，它以 8 位开关电容逐次逼近的方法实现 A/D 转换，其内部具有 4MHz 的系统时钟，转换速度小于 17us，它允许的最大转换速率为 40000 次/s，电源为 3V 至 6V，能方便地采用三线串行接口方式与各种微处理进行连接，如图 1.124 所示是 TLC549 的引脚图。

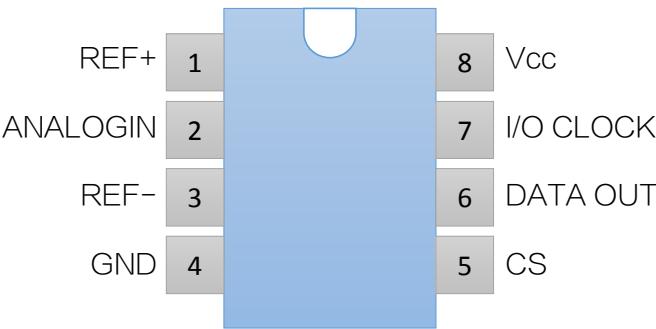


图 1.124 AD TLC549 的引脚图

从该图中我们可以看出，它有八个管脚，分别如表 1.14 所示。

表 1.14 AD TLC549 接口管脚表

管脚	名称	描述
1	REF+	正基准电压输入端
2	ANALOG IN	模拟信号输入端
3	REF-	负基准电压输入端
4	GND	接地端
5	CS	片选信号
6	DATA OUT	转换结果数据串行输出端
7	I/O CLOCK	外接时钟输入端
8	VCC	系统电源输入端

这八个管脚在我们 A4 开发板上的连接如图 1.125 所示。

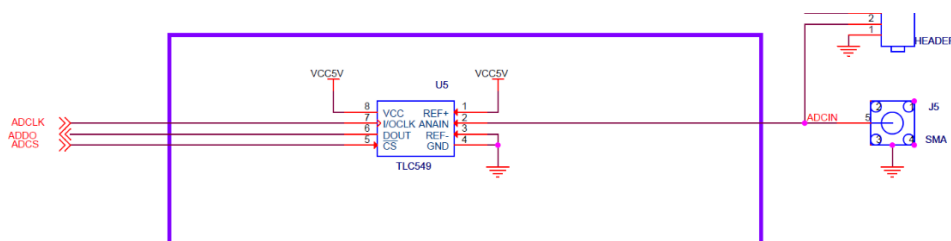


图 1.125 A4 开发板上 AD TLC549 连接原理图

从该图中我们可以看出, TLC549 这个芯片的正基准电压输入端 REF+ 和系统电源 VCC 都接的是 5V 电压, 负基准电压输入端 REF- 和接下端 GND 都接的地, 外接时钟输入端 I/O CLOCK、转换结果数据串行输出端 DATA OUT 和片选信号 CS 都接在我们的 FPGA I/O 管脚上。模拟信号输入端 ANALOG IN 接在了我们 A4 开发板的 SMA 头上。

1.30.2 AD 通信协议

介绍完了 AD 基本概述, 接下来我们再来看一下 AD 的通信协议。由于 TLC549 它内部具有 4MHz 的系统时钟, 并且该时钟与 I/O CLOCK 是独立工作的, 所以我们无需特殊的速度或相位匹配, 其工作时序如图 1.126 所示。

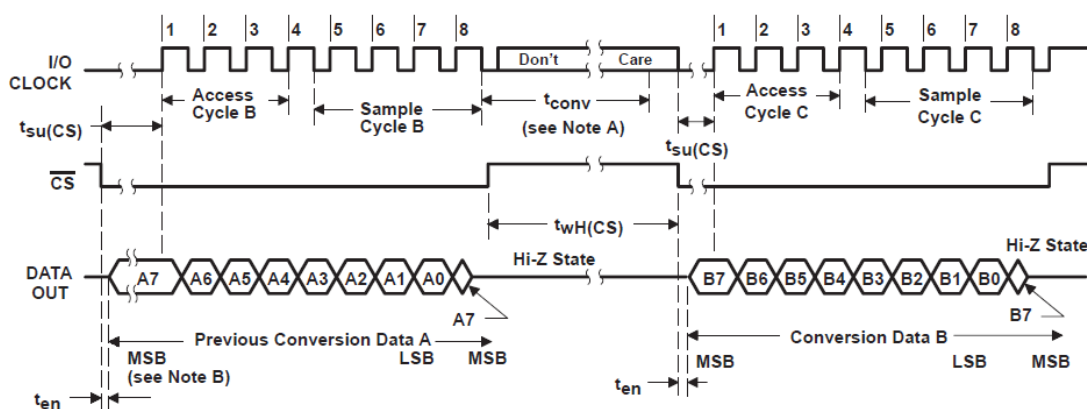


图 1.126 AD TLC549 时序图

从该图中我们可以看出:

- (1) 当 CS 为高时, 转换结果数据串行输出端 DATA OUT 处于高阻状态, 此时 I/O CLOCK 也不起作用。
- (2) 当 CS 为低时, AD 前一次转换的数据 A 的最高位 A7 立即出现在数据线 DATA OUT 上, 其余的 7 位数据在 I/O CLOCK 的下降沿依次由时钟同步输出。因此可在 I/O CLOCK 的上升沿读取数据; 这里我们需要注意的有两点: 第一点是: 当 CS 变为低电平到 I/O CLOCK 第一个时钟到来至少要 1.4us。第二点是: I/O CLOCK 不能超过 1.1MHz。
- (3) 读完 8 位数据后, AD 开始转换这一次转换的采样数据 B, 以便下一次读取。转换时片选信号 CS 必须置高电平, 每次转换的时间不超过 17us, 开始于 CS 变为低电平后 I/O CLOCK 的第 8 个下降沿, 没有转换完成标志信号; 也没有启动控制端, 只要读取前一次数据后马上就可以开始新的 AD 转换, 转换完成后就进入保持状态。