

可综合的 verilog 语法子集

常用的 RTL 语法结构如下：

- 模块声明： module...endmodule。
- 端口声明： input, output, inout (inout 的用法比较特殊，需要注意)。
- 信号类型： wire, reg, tri 等， integer 常用语 for 语句中 (reg, wire 是最常用的，一般 tri 和 integer 用在测试脚本里)。
- 参数定义： parameter, define。
- 运算操作符： 各种逻辑操作符、移位操作符、算术操作符大多时可综合的 (注： === 与 ! == 是不可综合的)。
- 比较判断： if...else, case (casex, casez) ...default...endcase。
- 连续赋值： assign, 问号表达式 (? :) 。
- always 模块： (敏感表可以为电平、沿信号 posedge/negedge；通常和 @连用)。
- begin...end (通俗的说，它就是 C 语言里的 “{ }”)。
- 任务定义： task...endtask。
- 循环语句： for (用的也比较少，但是在一些特定的设计中使用它会起到事半功倍的效果)。
- 赋值符号： = 和 <= (阻塞和非阻塞赋值，在具体设计中时很有讲究的)。