

BJ-EPM240 实验板介绍

BJ-EPM240学习板是特权同学和知名电子技术网站www.ednchina.com合作推出的一款FPGA/CPLD入门级学习板，该学习板在EDN助学活动期间以低廉的价格提供给所有注册会员，并且赠送免费的PCB板。学习板以齐全的资料、良好的代码风格博得了广大网友的一致认可，很适合初学者入门学习。该板子的一切相关问题都可以在EDN网站的CPLD/FPGA助学小组（网址：<http://group.ednchina.com/1375/>）里进行讨论。

1. BJ-EPM240学习板功能框图

图1和图2是整板系统的功能框图，从图中可以清楚地看到EPM240T100学习板上丰富的外设资源及其位置分布情况。

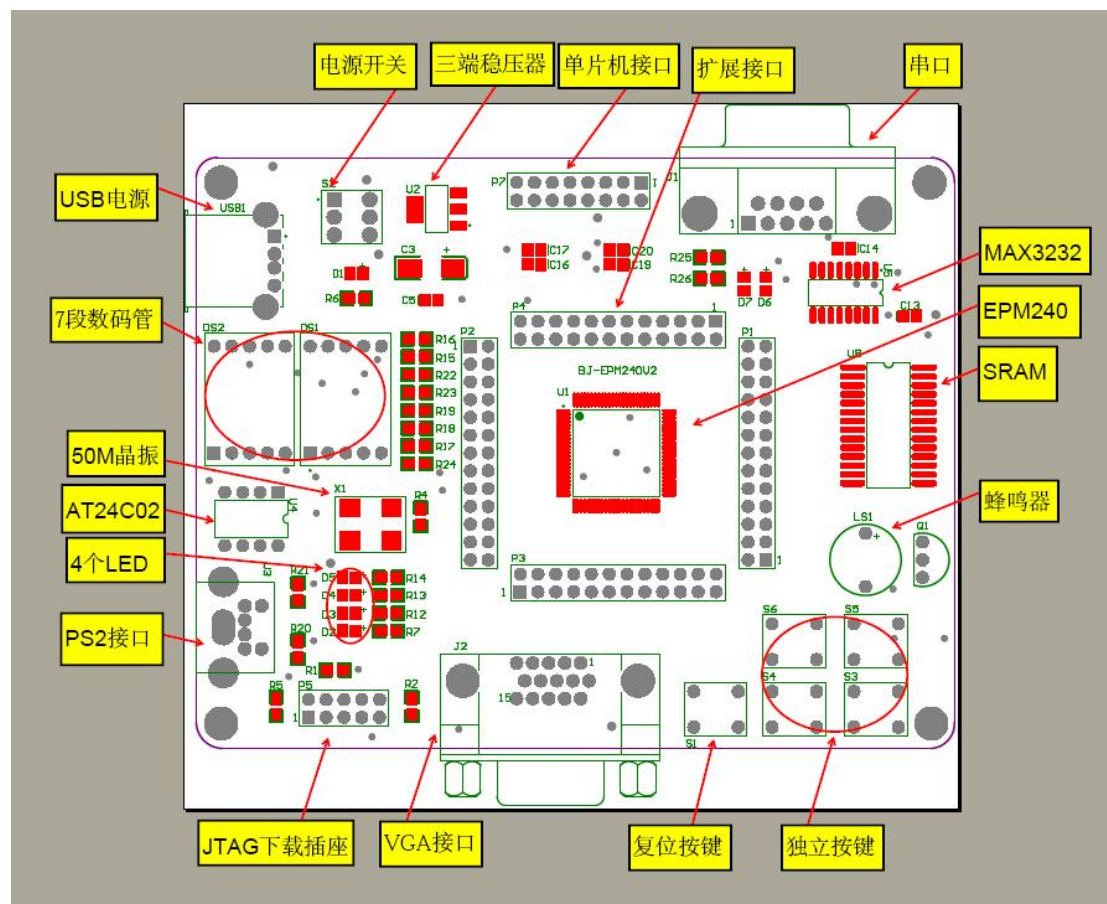


图1 BJ-EPM 学习板顶层资源分布及功能框图

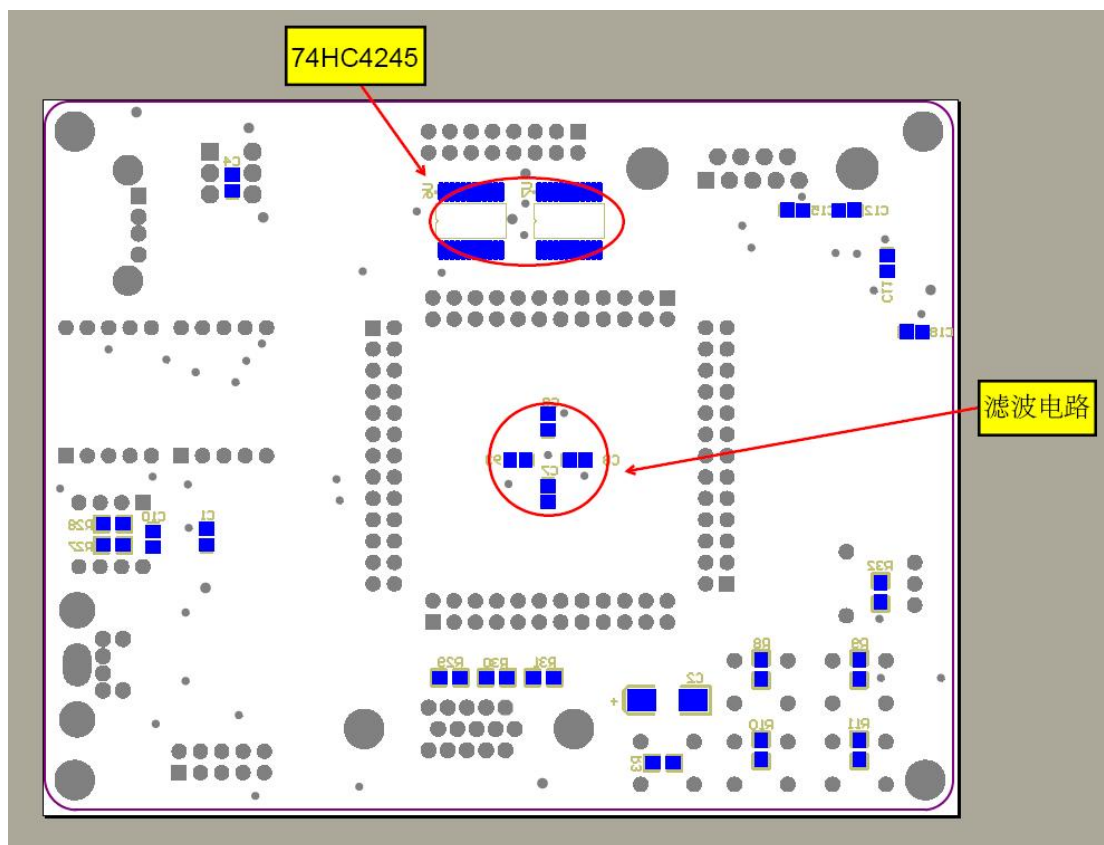


图 2 BJ-EPM 学习板底层资源分布及功能框图

2. BJ-EPM240学习板基本配置

- 主芯片使用的是 Altera 公司的 MAX II 系列 EPM240T100C5，该芯片有 240 个逻辑单元，等效宏单元 192 个，资源比较丰富，内有 8Kbit Flash 的存储空间。
- 50MHz 有源晶振，作为系统主时钟。
- 低电平复位按键，使用 EPM240 的全局复位管脚。
- 8 色 VGA 接口 1 个，让大家掌握电脑显示器的驱动原理。
- RS232 串口 1 个，通过串口调试助手轻松实现 UART 通信协议。
- PS/2 接口 1 个，实现键盘解码，配合串口调试助手在 PC 机上显示键值。
- 70ns 快速读写的 SRAM 芯片 IS62LV256-70U，具有 32KB 存储空间，让大家熟悉 SRAM 的读写操作。
- EEPROM 芯片 AT24C02，让大家熟悉使用 verilog 进行 I²C 通信。
- 4 个独立按键，进行 verilog 脉冲采样和按键消抖控制。
- 4 个流水灯，配合 4 位按键进行 Johnson 计数器实验。
- 蜂鸣器，实现简单的分频计数器。

- 2 位数码管，使用其进行计数实验。
- 外接信号电平转换芯片 SN74LVC4245，可以与单片机等 5V 器件进行通信，预留 16PIN 总线接口。
- 使用电源开关和电源指示灯，系统稳定可靠。

3. EPM240T100C5芯片介绍

选用Altera公司目前市场性价比较高的MAXII系列的CPLD。Altera推出的MAX II器件系列是一款革命性的CPLD产品。它基于突破性的CPLD架构，提供业界所有CPLD系列中单个I/O管脚最低成本和最小功耗。这些器件采用新的查表(LUT)体系，采用TSMC的0.18 μm 嵌入Flash工艺，使其裸片尺寸仅为同样工艺器件的1/4。

MAX II系列和上一代MAX产品相比，成本降低了一半，功耗只有其1/10，同时保持MAX系列原有的瞬态启动、单芯片、非易失性和易用性。新的系列器件容量翻了两番，性能是上一代MAX CPLD的两倍多，使消费类、通信、工业和计算机产品的设计者能够采用MAX II系列器件代替昂贵和不够灵活的小型ASIC和ASSP。

MAX II 系列器件的主要特征：

- 成本优化的架构：新型 MAX II CPLD 架构包括基于 LUT 的 LAB 阵列、非易失性 Flash 存储模块和 JTAG 控制电路。
- 低功耗：MAX II 器件是动态功耗较低的 CPLD。
- 高性能：MAX II 器件支持高达 300MHz 的内部时钟，可为用户提供更高的系统级性能。通过改善布线结构管脚间的延时与其他同容量的 CPLD 相比大大降低，目前降低到 3.6ns。MAX II 系列管脚与管脚之间的最大延时见表 5.1，其中 t_{PD1} 为最大距离管脚之间的延迟时间（即对角上的管脚之间）， t_{PD2} 为最小距离管脚的延迟时间（即相邻的管脚之间）。

表5.1 MAX II系列管脚与管脚之间的最大延时

参数	EPM240	EPM570	EPM1270	EPM2210	单位
t_{PD1}	4.5	5.4	6.0	6.6	ns
t_{PD2}	3.6	3.6	3.6	3.6	ns

- 用户 Flash 存储器：MAX II CPLD 内的用户 Flash 存储器是一个大小为 8Kbit、用户可访问且可编程的 Flash 存储器块，可用于用户自己定义的数据。

- 实时在系统可编程能力（ISP）：MAX II 器件支持实时在系统可编程。
- 灵活的多电压内核：MAX II 架构支持 MultiVolt，允许器件在 1.8V、2.5V 或 3.3V 电压环境下工作。
- JTAG 翻译器：MAX II CPLD 具有一种被称为 JTAG 翻译器的功能，这种功能允许通过 MAX II 器件执行定制的 JTAG 指令，配置单板上不兼容 JTAG 协议的器件，从而简化了单板管理。
- I/O 能力：MAX II CPLD 的 I/O 能力加强了其易用性和系统集成能力。

表 5.2 列出了 MAX II 器件支持的 I/O 标准。

表5.2 MAX II的I/O标准

I/O标准	性能
3.3V LVTTL/LVCMOS	300MHz
2.5V LVTTL/LVCMOS	220MHz
1.8V LVTTL/LVCMOS	200MHz
1.5V LVCMOS	150MHz
3.3V PCI	33MHz

4. BJ-EPM240学习板实验例程

BJ-EPM240学习板主要就是为大家提供一个硬件学习的平台，HDL设计与以往的开发不同，需要学习者具备并行设计的思想。本学习板由浅入深为大家提供了13个具有详细注释的例程，相信大家在学习完这些例程后能够轻松入门FPGA/CPLD的开发。

例程清单：

- 1. 分频计数实验；
- 2. 按键消抖实验；
- 3. Johnson 计数器实验；
- 4. 数码管显示实验；
- 5. 乘法器设计实验；
- 6. VGA 接口实验；
- 7. 串口通信实验；
- 8. PS2 键盘解码实验；

- 9. I²C 通信实验；
- 10. SRAM 读写实验；
- 11. MAX II 内部震荡时钟使用实例；
- 12. MAX II 的 UFM 模块使用实例；
- 13. Quartus II 调用 ModelSim 仿真实例。

5. BJ-EPM240学习板套件

- BJ-EPM240 学习板一块
- ByteBlaster II/MV 并口下载线一条
- 串口线一条
- USB 延长线一条
- 资料光盘一张（附有详细实验例程以及说明）

6. BJ-EPM240学习板配套光盘和例程截图

名称	大小	类型	
altera培训课程		文件夹	2
BJ-EPM240V2实验例程以及...		文件夹	2
FPGA CPLD设计算法思想等...		文件夹	2
MAX II和MAX设计实例		文件夹	2
verilog代码学习相关资料		文件夹	2
华清远见 视频教程		文件夹	2
软件Quartus II		文件夹	2
特权录制视频教程		文件夹	2
芯片datasheet		文件夹	2
中嵌FPGA视频教程		文件夹	2
BJ-EPM240V2实验例程以及...	8,546 KB	WinRAR 压缩文件	2
BJ-EPM240V2原理图.pdf	1,221 KB	Adobe Acrobat D...	2
BJ-EPM240学习板使用指南...	451 KB	Adobe Acrobat D...	2

图 3 配套光盘资料截图

```

65 always @ (posedge clk or negedge rst_n) begin
66     if(!rst_n) cnt <= 3'd5;
67     else begin
68         case (cnt_delay)
69             9'd124: cnt <= 3'd1;    //cnt=1:scl高电平中间,用于数据采样
70             9'd249: cnt <= 3'd2;    //cnt=2:scl下降沿
71             9'd374: cnt <= 3'd3;    //cnt=3:scl低电平中间,用于数据变化
72             9'd499: cnt <= 3'd0;    //cnt=0:scl上升沿
73             default: cnt <= 3'd5;
74         endcase
75     end
76 end
77
78
79 `define SCL_POS      (cnt==3'd0)    //cnt=0:scl上升沿
80 `define SCL_HIG      (cnt==3'd1)    //cnt=1:scl高电平中间,用于数据采样
81 `define SCL_NEG      (cnt==3'd2)    //cnt=2:scl下降沿
82 `define SCL_LOW      (cnt==3'd3)    //cnt=3:scl低电平中间,用于数据变化
83
84
85 always @ (posedge clk or negedge rst_n)
86     if(!rst_n) scl_r <= 1'b0;
87     else if(cnt==3'd0) scl_r <= 1'b1;    //scl信号上升沿
88     else if(cnt==3'd2) scl_r <= 1'b0;    //scl信号下降沿
89
90 assign scl = scl_r; //产生iic所需要的时钟
91 //-----
92 //需要写入24C02的地址和数据
93
94 `define DEVICE_READ    8'b1010_0001    //被寻址器件地址(读操作)
95 `define DEVICE_WRITE   8'b1010_0000    //被寻址器件地址(写操作)
96 `define WRITE_DATA     8'b1101_0001    //写入EEPROM的数据
97 `define BYTE_ADDR      8'b0000_0011    //写入/读出EEPROM的地址寄存器
98 reg[7:0] db_r;        //在IIC上传送的数据寄存器
99 reg[7:0] read_data;    //读出EEPROM的数据寄存器
100

```

图 4 代码注释与说明

7. 实物展示图片

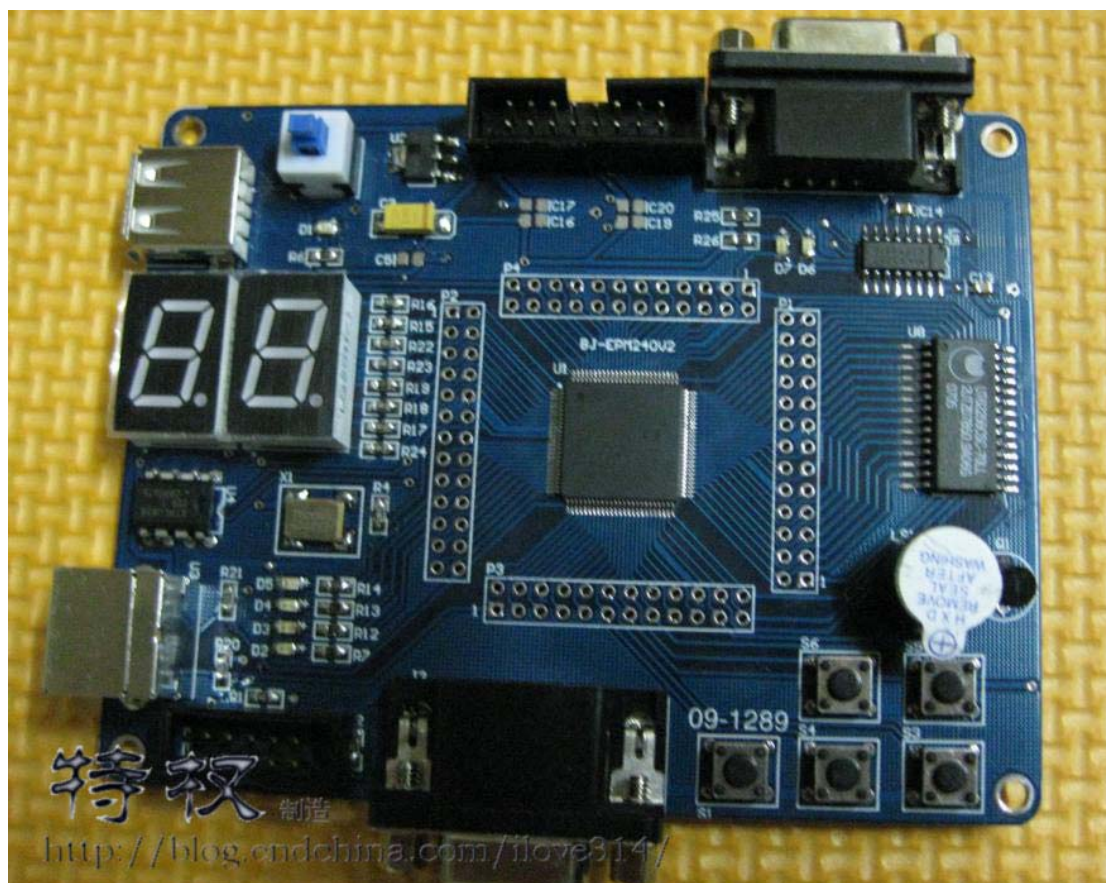


图 5 学习板正面

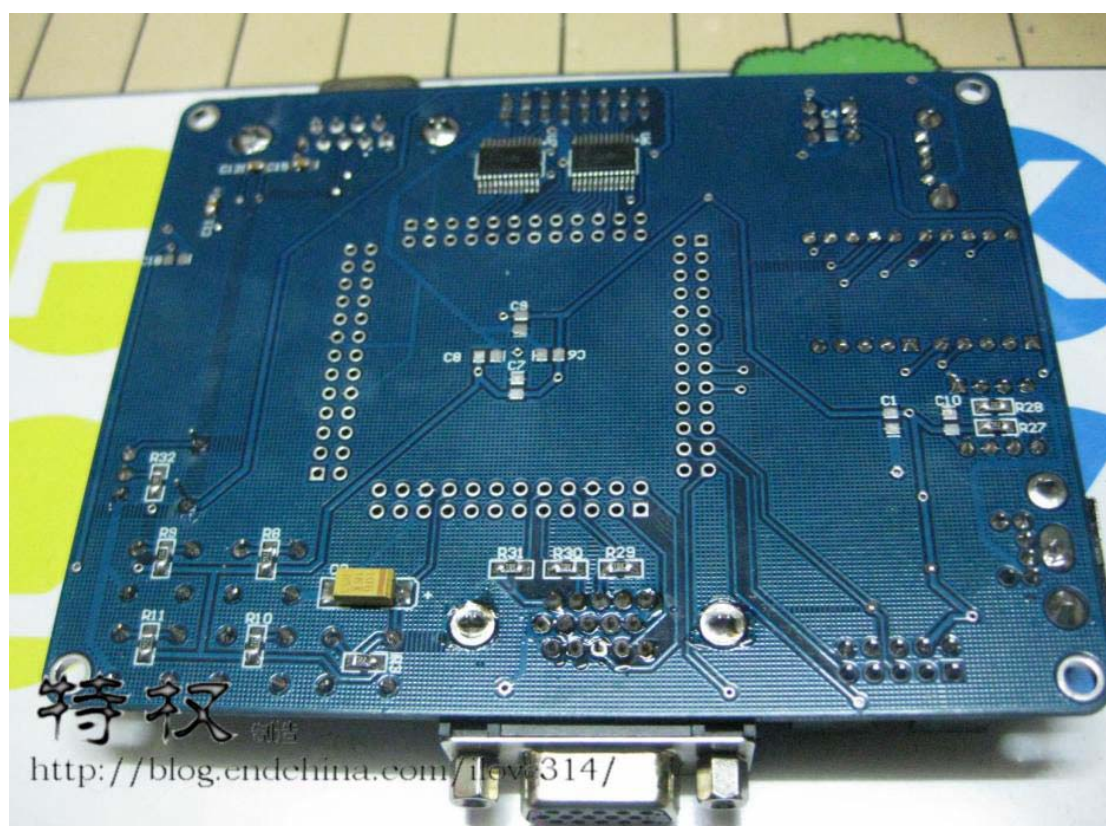


图 6 学习板背面



图 7 学习板套件



图 8 学习板封装

