

## 乘法器设计实验

乘法器是众多数字系统中的基本模块。从原理上说它属于组合逻辑范畴；但从工程实际设计上来说，它往往会利用时序逻辑设计的方法来实现，属于时序逻辑的范畴。

通过这个实验使大家能够掌握利用 FPGA/CPLD 设计乘法器的思想，并且能够将我们设计的乘法器应用到实际工程中。乘法器的设计方法有两种：组合逻辑设计方法和时序逻辑设计方法。采用组合逻辑设计方法，电路事先将所有的乘积项全部计算出来，最后加法运算。采用时序逻辑设计方法，电路将部分已经得到的乘积结果右移，然后与乘积项相加并保存和值，反复迭代上述步骤直到计算出最终乘积。

在该实验中就是要利用时序逻辑设计方法来设计一个 16 位乘法器，既然是利用时序逻辑设计方法那么就利用时钟信号控制乘法器运算。用时序逻辑设计方法与用组合逻辑设计方法比较，它有什么好处呢？利用时序逻辑设计方法可以使整体设计具备流水线结构的特征，能适用在各种实际工程设计中。

在提及乘法器的速度时，可以先了解一下数据吞吐量的概念。数据吞吐量是指芯片在一定时钟频率条件下所能处理的有效数据量。假设本实验设计的芯片时钟频率可达 300MHz，那么该芯片的数据吞吐量是多少呢？

由于芯片完成一次乘法运算需要 1 个以上的时钟周期，因此，即使芯片采用 300MHz 的时钟频率，它每秒钟所能处理的有效数据吞吐量也一定小于 300M。对于 16 位乘法器而言，ain 和 bin 均为 0xFFFF 时，芯片的运算量最大，计算所需的时间也最长，这种情况才能作为我们计算数据吞吐量的依据。

假设芯片在 200MHz 的条件下 ain 和 bin 均为 0xFFFF 时需要 16 个时钟周期才能得到乘法结果，那么芯片在 200MHz 的条件下的数据吞吐量就为： $200M/16=12.5M$ 。

I/O 口的定义以及说明如表 5.8 所示。

表 5.8 乘法器实验接口定义

信号名称	方向	描述
------	----	----

clk	input	时钟信号，50MHz
rst_n	input	复位信号，低电平有效
start	input	使能信号。为 0 表示信号无效；为 1 表示读入乘数和被乘数。该信号由 0 到 1 变化后，会进行一次当前 ain 和 bin 的乘法运算，进行下一次运算则需重新拉低该信号后拉高。
ain	input	输入 a（被乘数），其数据位宽为 16bit。
bin	input	输入 b（乘数），其数据位宽为 16bit。
yout	output	乘积输出，其数据位宽为 32bit。
done	output	输出有效标志位，有效时保持 1 个时钟周期高脉冲。为 1 表示乘法运算完成，yout 端口的数据稳定，得到最终的乘积；为 0 表示乘法运算未完成，yout 端口的数据不稳定。

相关源代码请大家参考配套光盘，大家可以着重理解移位累加部分代码是如何实现的。

如图 5.8 所示，综合后的 RTL 视图很好的表现出了代码设计中移位累加的设计思想。

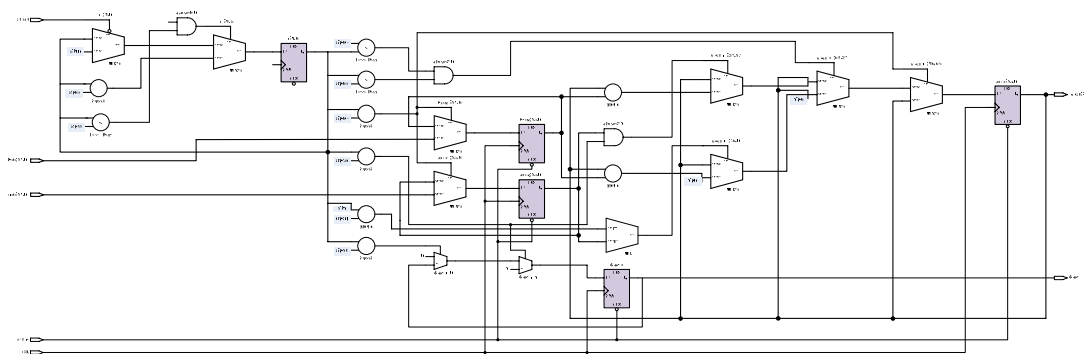


图 5.8 乘法器综合后 RTL 视图

图 5.9 是该乘法器代码的一个功能仿真波形。ain=89, bin=33, yout=ain×bin=2937。我们发现这个乘法器的吞吐量并不大，在使能信号 start 有效后大约经过了 16 个时钟周期才输出最终的运算结果。大家可以利用流水线设计方法让它在以后的每个时钟周期都输出一个运算结果，这样就能够大大提高吞吐量。或者也可以使用一个大的并行乘法器进行设计，这样会消耗大量的逻辑资源。感兴

趣的朋友可以自己尝试实现一下。

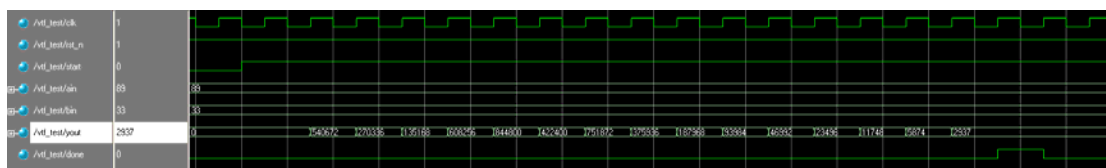


图 5.9 乘法器实验仿真波形

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书，欢迎各位网友到时购买，作为本视频和学习板/开发板的参考教材

特权

2009. 11