

SRAM 读写实验

SRAM 芯片时序操作大同小异，在这里总结一些它们共性的东西，也提一些用 Verilog 简单的快速操作 SRAM 的技巧。

这里就以本实验使用的 IS62LV256-70U 为例进行说明。其管脚定义如表 5.18 所示。

表 5.18 SRAM 管脚定义

序号	管脚	描述
1	A0-A14	地址输入。
2	CEn	芯片使能输入，低有效。
3	OEn	输出使能输入，低有效。
4	WEn	写使能输入，低有效。
5	I/00-I/07	数据输入/输出。
6	VCC	电源。
7	GND	数字地。

具体在硬件连接的时候，其实很多人喜欢直接把输出使能信号 OEn 和片选信号 CEn 接地，这样一来不仅节省了处理器和 SRAM 连接的管脚数，而且在读写 SRAM 的时候其实只要对写使能信号 WEn 操作就可以了，简化了代码部分。本设计的硬件原理图如图 5.23 所示。

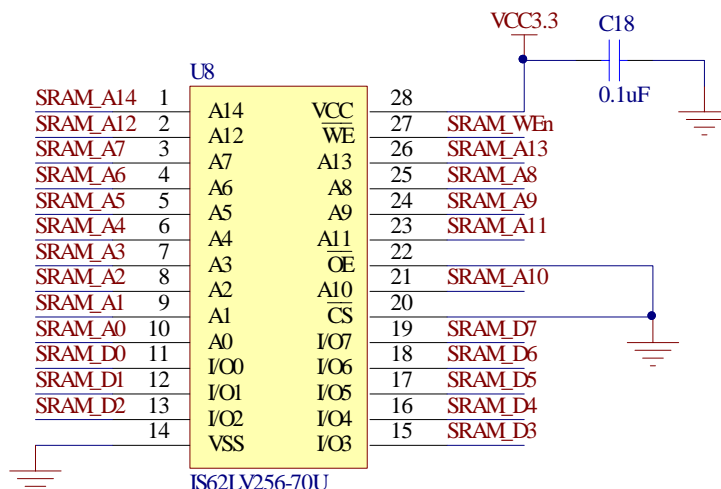


图 5.23 SRAM 接口

因为在硬件上已经把 CEn 和 OEn 拉低了，所以在不进行写 SRAM 的时候，实际上 SRAM 的数据总线上的值是对应地址总线的数据。为了避免误操作，可以把地址总线置高阻态，如果不去操作数据总线（最好不是复用的数据总线）也无大碍。因为这样简化了设计。对于 SRAM 的操作时序，只要关心地址总线、数据总线和写使能 WEn 信号。读写时序分别如图 5.24 和图 5.25 所示。

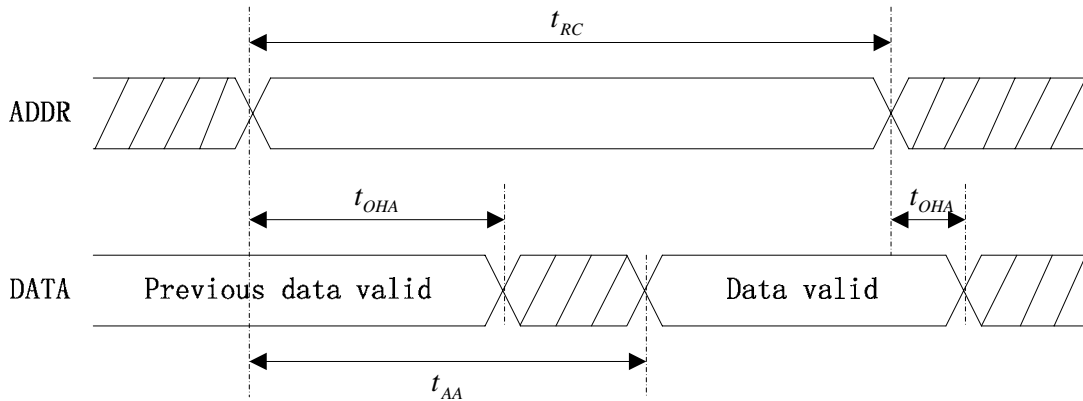


图 5.24 SRAM 读时序

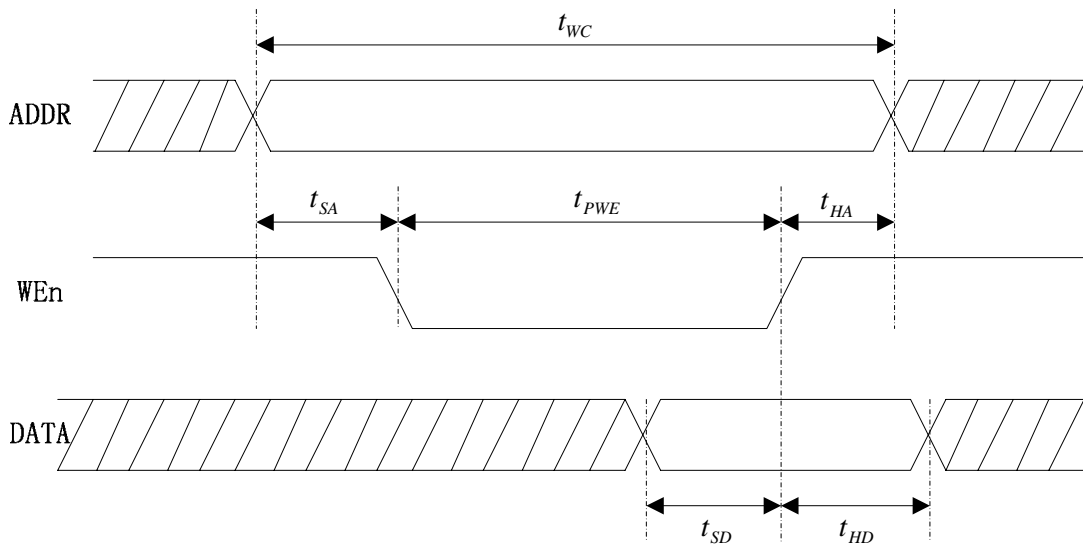


图 5.25 SRAM 写时序

具体操作是这样的，要写数据时，（这里是相对于用 HDL 操作 SRAM 而言的，软件读写可能有时间顺序的问题需要注意），比较高效率的操作是送数据和地址，同时把 WEn 拉低。然后延时 t_{WC} 时间再把 WEn 拉高，这时就把数据写入了相应地址了，就这么简单。读数据就更简单了，只要把需要读出的地址放到 SRAM 的地址总线上，然后延时 t_{AA} 时间后就可以读出数据了。

该工程接口定义如表 5.19 所示。

表 5.19 SRAM 读写实验接口定义

信号名称	方向	描述
clk	input	时钟信号, 50MHz
rst_n	input	复位信号, 低电平有效
sram_addr [14:0]	input	SRAM 地址总线
sram_wr_n	input	SRAM 写选通信号, 低电平有效
sram_data [7:0]	inout	SRAM 数据总线

该实验实现了对 SRAM 的每一个地址进行遍历读写操作, 然后比对读写前后的数据是否正确, 最后通过一个 LED 灯的亮灭进行指示。详细代码请参考配套光盘。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书, 欢迎各位网友到时购买, 作为本视频和学习板/开发板的参考教材

特权

2009. 11