

## 基于 74HC595 的数码管实验

该实验和以往的直接控制数码管方式不同，它是通过两片可以完成串并转换功能的芯片 74HC595 来驱动数码管的。将 8 位数据串行输入 74HC595，然后既可以得到同样的 8 位串行输出的数据，也可以得到 8 位并行输出的数据。数据的输入输出都是由用户给出的时钟信号锁存控制。

使用 74HC595 的一个最大好处就是节省了用于驱动数码管的 I/O 端口数量，但是控制上也相对复杂了一些。如图 5.56 所示，两片 74HC595 相“串”，一个片子 (U6) 的 8 位输出用于控制 4 位数码管的段选，而另一个片子 (U5) 的低 4 位则用于控制数码管的位选。U5 的串入信号与 FPGA 的 I/O 相连，而它的输出最高位直接连到 U6 的串入口。U5、U6 的移位寄存器时钟以及存储寄存器时钟分别由 FPGA 的 I/O 口控制。

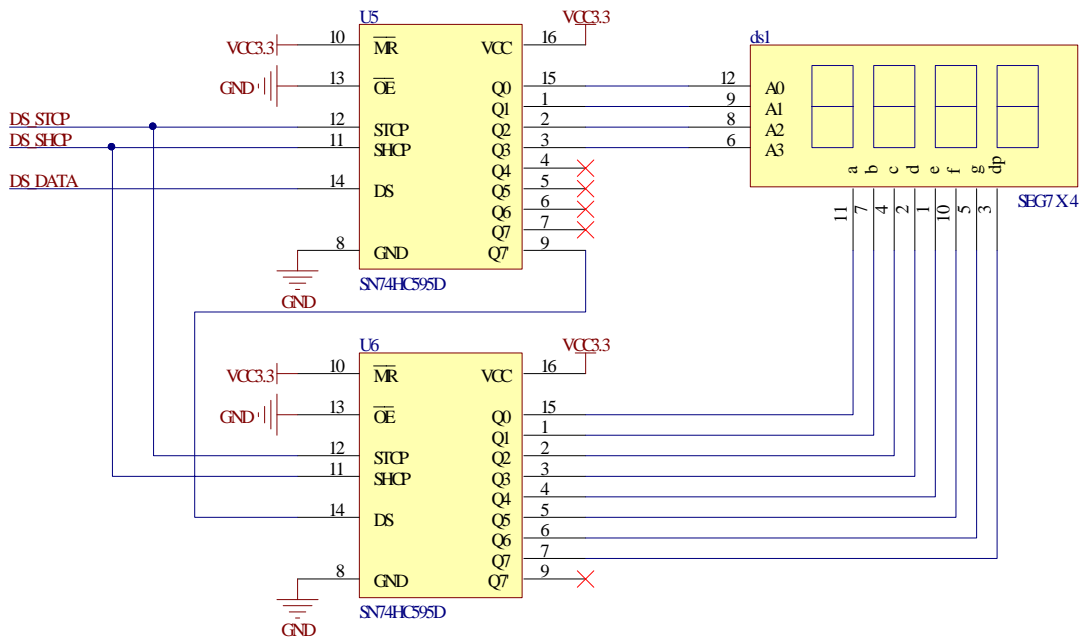


图 5.56 74HC595 驱动数码管原理图

因此，我们只要在一一定的时钟控制下，用 16 个移位时钟周期依次送入 8 位数码管段选信号、4 位不相关数据（可以为任意值，因为它不我们的数码管相连）、4 位数码管位选信号。

FPGA 接口的信号定义如表 5.21 所示。

表 5.21 接口定义

信号名称	方向	描述
clk	input	时钟信号, 25MHz
rst_n	input	复位信号, 低电平有效
ds_stcp	output	串口发送数据信号

如图 5.57 所示, 每当 ds\_shcp 上升沿到来时会把 ds\_data 上的数据锁存进去, 然后这样八个时钟周期后, 最先输入的数据就是最高位 (bit7), 最后输入的数据就是最低位 (bit0), 这时如果控制 ds\_stcp 产生一个上升沿, 那么之前 8 个时钟周期输入的 8 位数据就会输出到 74HC595 的并行输出接口 Q0-Q7 上。

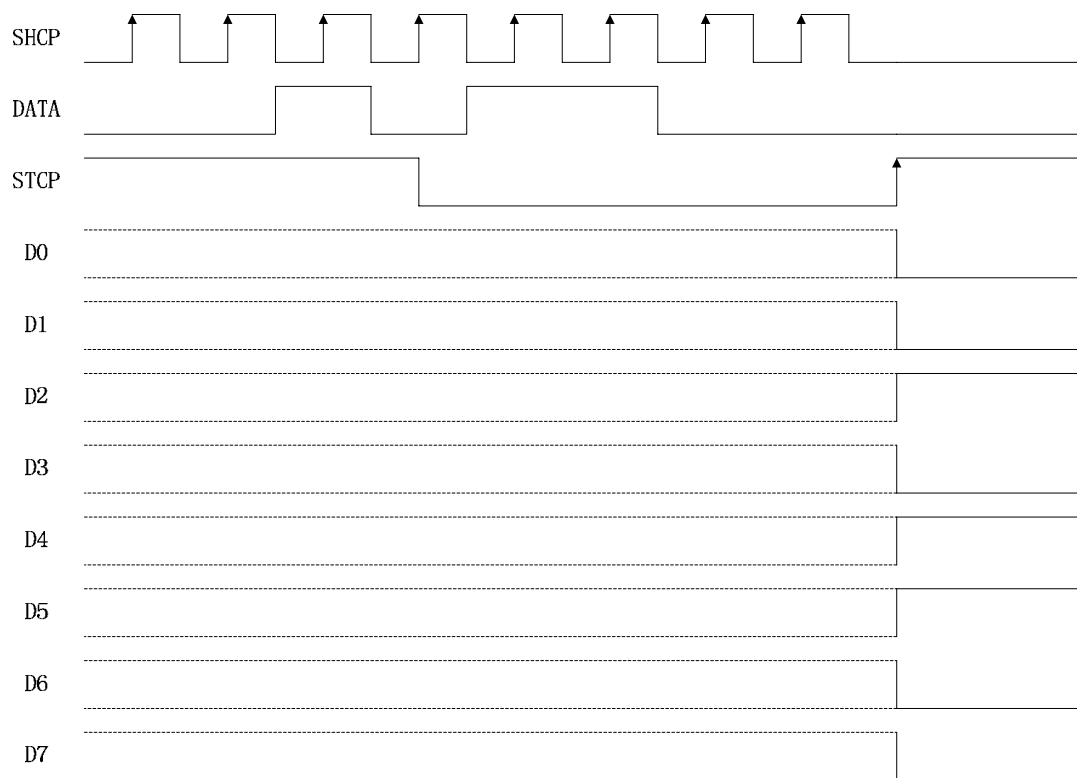


图 5.57 74HC595 控制时序图

该实验代码设计了一个秒计数器, 计数值显示在 4 位数码管上。FPGA 内部使用了一个 25 位计数器产生秒计数值, 通过相应的译码后动态的将秒计数值显示到数码管上。该设计的重点在于动态显示的时间切换控制以及 74HC595 的驱动控制逻辑。详细代码请参考配套光盘。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书，欢迎各位  
网友到时购买，作为本视频和学习板/开发板的参考教材

特权

2009. 11