

PLL 配置实验

PLL，即锁相环。简单的理解，给 PLL 一个时钟输入（一般是外部晶振时钟），然后经过 PLL 内部的处理以后，在 PLL 的输出端口就可以得到一定范围的时钟频率。其之所以应用广泛，因为从 PLL 输出得到的时钟不仅仅从频率和相位上比较稳定，而且其时钟网络延时也相比内部逻辑产生的分频时钟要小得多。下面就如何配置一个 PLL 做一些说明。

1. PLL 的配置需求

假定设计者已经新建了一个工程，然后需要配置一个 PLL。该 PLL 的输入时钟为 FPGA 外部的 25MHz 晶振，希望得到一个 50MHz（输入时钟的 2 倍频）的系统时钟供 FPGA 内部使用。该 PLL 的输入输出接口如表 5.22 所示。

表 5.22 PLL 的接口定义

信号名	方向	功能描述
inclk0	input	PLL 输入时钟
areset	input	PLL 复位信号，高电平有效
c0	output	PLL 输出时钟
locked	output	该信号用于指示 PLL 处理后的时钟已经稳定输出，高有效

2. PLL 的配置步骤

① 如图 5.58 所示，在 Quartus II 的菜单栏选择“Tools—>MegaWizard Plug-In Manager…”。

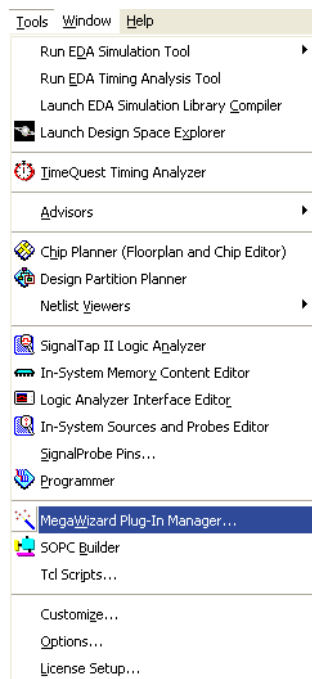


图 5.58 选择 MegaWizard

② 如图 5.59 所示，使用默认选项“Create a new custom megafunction variation”，点击“Next>”。

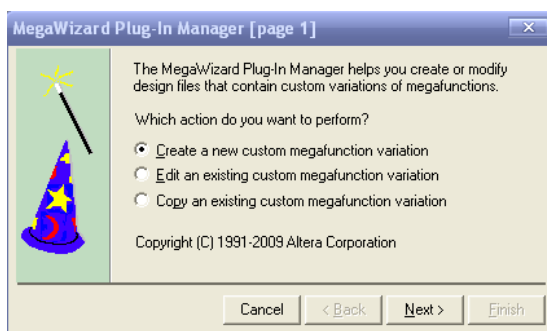


图 5.59 新建 megafunction

③ 如图 5.60 所示，进行以下配置：

- 在“Select a megafunction from the list below”窗口内打开“I/O”下拉框，选择“ALTPLL”。
- 在“Which type of output file do you want to create?”下选择“Verilog HDL”，这是配置的 PLL 内核使用的语言，一般选择此项。
- 在“What name do you want for the output file?”里默认会出现当前设计的工程路径，需要设计者在最后面手动输入例化的 PLL 的名字，这里输入了“PLL_ctrl”。

完成以上配置，点击“Next>”。

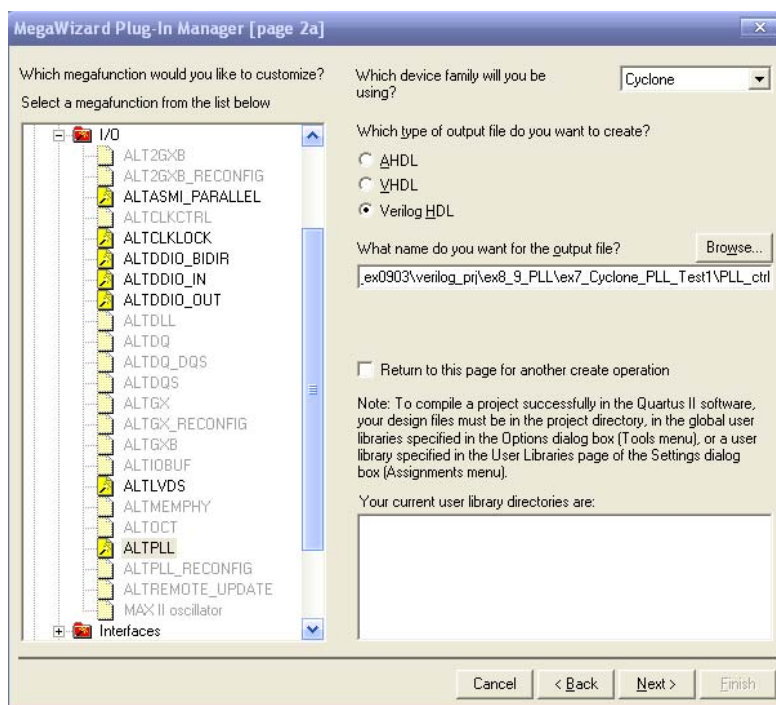


图 5.60 新建 PLL

④ 如图 5.61 所示，进行以下配置：

- 在“General”一栏内的“Which device speed grade will you be using?”选则该工程所使用器件的速度等级。
- 在“What is frequency of the inclock0 input?”内选择 PLL 输入时钟的频率。

其他选项使用默认即可。点击“Next>”。

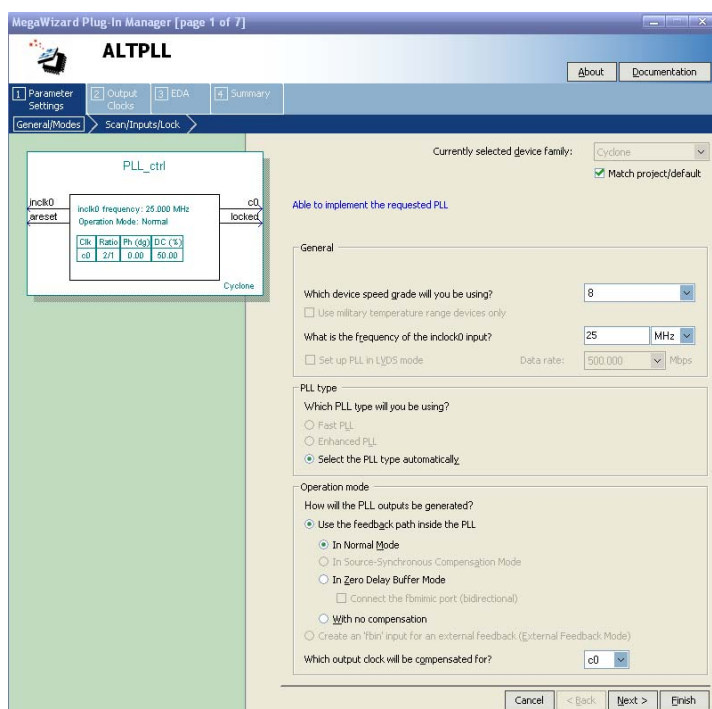


图 5.61 输入时钟配置

⑤ 如图 5.62 所示，配置如下：

- 在“Option input”一栏内勾选“Creat an ‘areset’ input to asynchronously reset the PLL”。
- 在“Lock output”中勾选“Creat ‘locked’ output”。

其他选项使用默认即可。点击“Next>”。

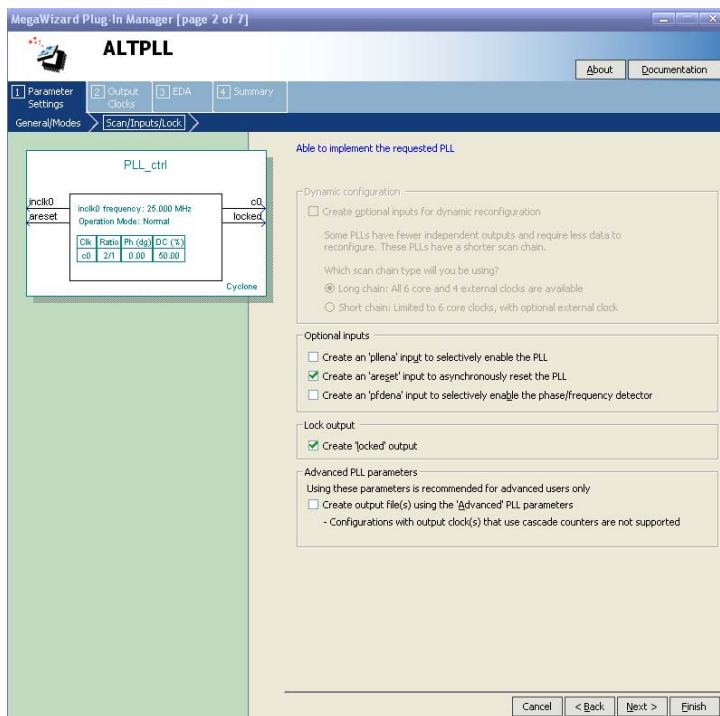


图 5.62 配置控制信号

⑥ 配置输出时钟 c0 相关参数，如图 5.63 所示。

- 设计者可以在“Enter output clock frequency?”后面输入希望得到的 PLL 输出时钟的频率。

设计者也可以在“Enter output clock parameter?”后面设置相应的输出时钟和输入时钟的频率关系。“Clock Multiplication factor”后输入倍频系数，“Clock division factor”后输入分频系数，二者决定了输出时钟频率。

- 在“Clock phase shift”中可以设置相位偏移。
- 在“Clock ducy cycle”中可以设置输出时钟占空比。

按照图 5.63 设置后，点击“Next>”。

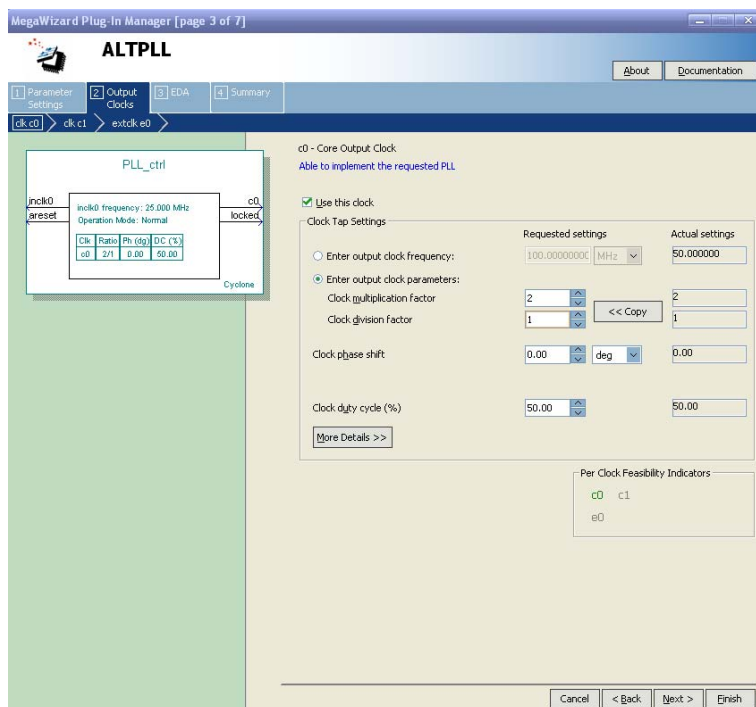


图 5.63 配置输出时钟 c0

⑦ “clk c1”选项是可选的，用户需要第二个输出时钟时可以开启该输出时钟，相应勾选“Use the clock”后和上一步类似进行配置即可。点击“Next>”。

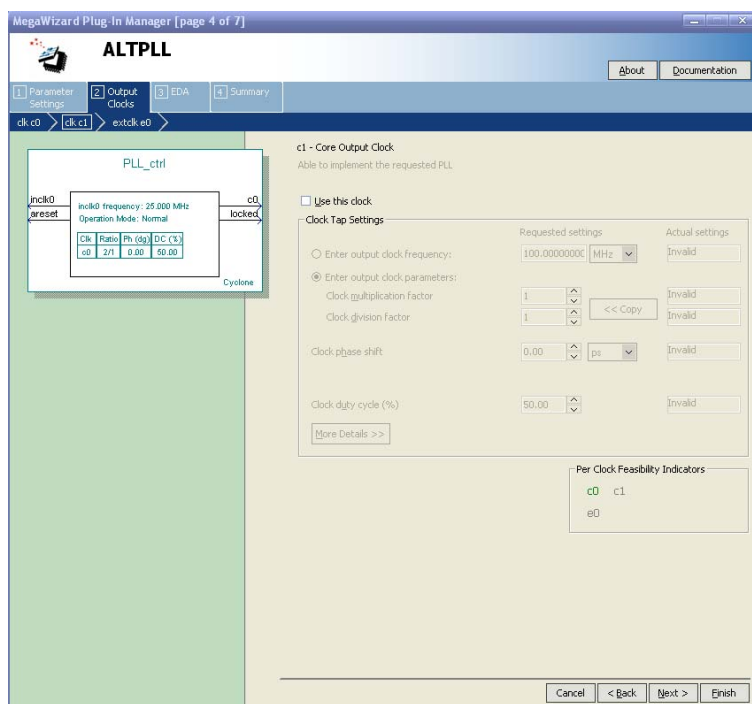


图 5.64 配置输出时钟 c1

⑧ “extclk e0”也是可选的，该时钟主要是输出给 FPGA 外部器件作为时钟，不能作为内部时钟使用。用户需要该输出时钟时可以开启该输出时钟，相应勾选“Use the clock”后和前一步类似进行配置即可。点击“Next>”。

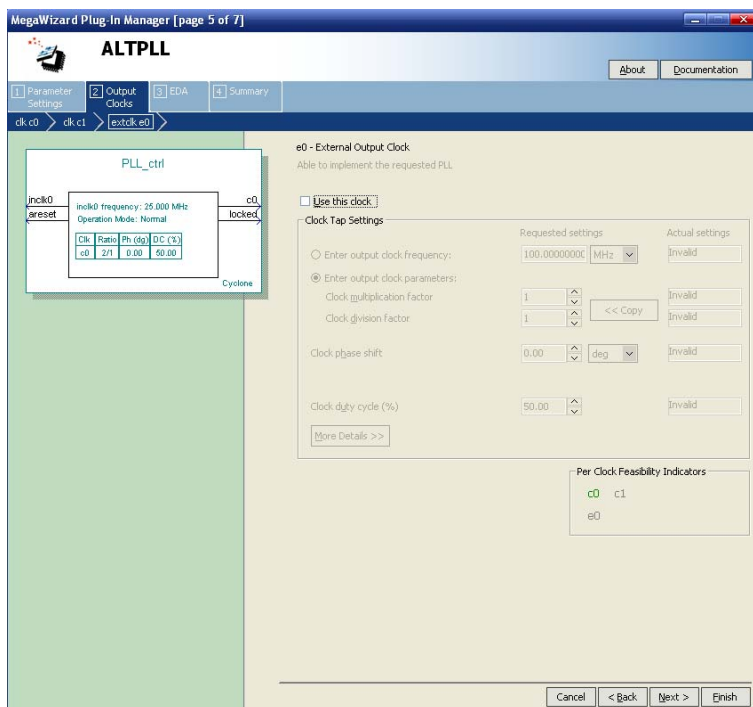


图 5.65 配置输出时钟 e0

⑨ 如图 5.66 所示，“EDA”中列了用户在对例化了 PLL 模块的工程仿真时，需要添加的仿真库文件，用户可以到 Quartus II 安装文件夹下可以找到。点击“Next>”。

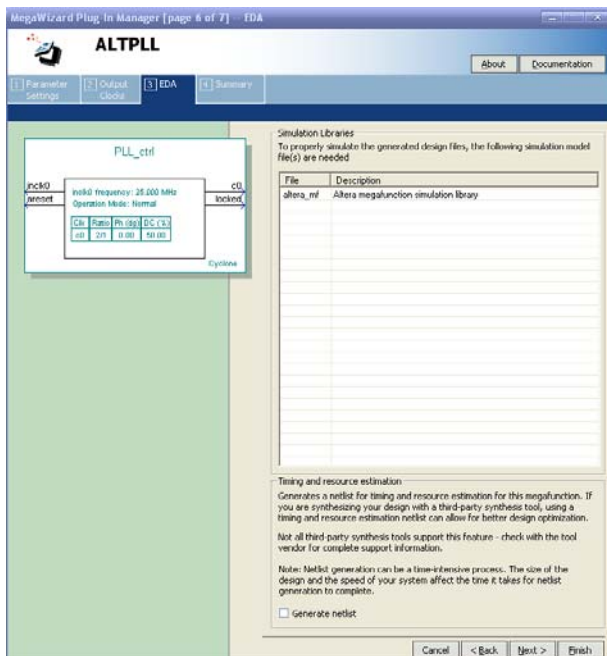


图 5.66 仿真库文件

⑩ 如图 5.67 所示，“Summary”中罗列了该 PLL 核最终的输出文件。对主要的一些输出文件说明如下：

- PLL_ctrl.v, PLL 内部的控制 IP 核。

- PLL_ctrl_inst.v 是一个模板的例化文件，用户可以直接复制这个文件里的例化来用。
- PLL_ctrl_wave.jpg 里是用户所配置的 PLL 的波形示例，勾选后可以在工程目录下找到，大家可以就我们的工程去看看波形是否符合预定的要求。或者用它和仿真后的波形对比一下，它们应该是一致的。

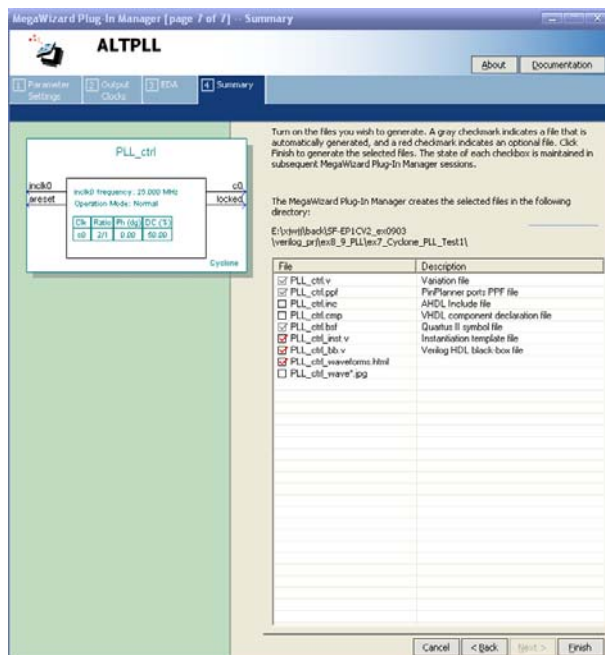


图 5.67 输出文件

3. PLL 的例化

PLL 配置完成后，需要将 PLL 例化到工程中。找到“PLL_ctrl_inst.v”文件并打开，将其内容拷贝到工程代码中，然后更改“()”里的内容，使用代码外的接口对应即可。如：

```
input clk;          //25MHz 系统外部输入时钟
input rst_n;       //系统复位信号，低电平有效

output clkdiv;     //PLL 输出时钟
output locked;     //稳定 PLL 输出标志位，高有效

//PLL 产生模块
//产生一个系统输入时钟 2 倍频，相移 0 度的时钟
PLL_ctrl PLL_ctrl_inst (
    .areset(~rst_n), //PLL 异步复位信号，高有效
    .inclk0(clk),   //PLL 输入时钟
```

```
.c0(clkdiv),          //PLL 输出时钟  
.locked(locked)      //稳定 PLL 输出标志位, 高有效  
);
```

最后, 设计者完善代码的其他部分, 编译工程即可。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书, 欢迎各位
网友到时购买, 作为本视频和学习板/开发板的参考教材

特权

2009. 11