

Lesson 31 时序分析基础

一、静态时序分析的概念

何谓静态时序分析 (STA, Static Timing Analysis) ?

首先, 设计者应该对 FPGA 内部的工作方式有一些认识。FPGA 的内部结构其实就好比一块 PCB 板, FPGA 的逻辑阵列就好比 PCB 板上的一些分立元器件。PCB 通过导线将具有相关电气特性的信号相连接, FPGA 也需要通过内部连线将相关的逻辑节点导通。PCB 板上的信号通过任何一个元器件都会产生一定的延时, FPGA 的信号通过逻辑门传输也会产生延时。PCB 的信号走线有延时, FPGA 的信号走线也有延时。这就带来了一系列问题, 一个信号从 FPGA 的一端输入, 经过一定的逻辑处理后从 FPGA 的另一端输出, 这期间会产生多大的延时呢? 有多个总线信号从 FPGA 的一端输入, 这条总线的各个信号经过逻辑处理后从 FPGA 的另一端输出, 这条总线的各个信号的延时一致吗? 之所以关心这些问题, 是因为过长的延时或者一条总线多个信号传输时间的不一致, 不仅会影响 FPGA 本身的性能, 而且也会给 FPGA 之外的电路或者系统带来诸多问题。

言归正传吧, 之所以引进静态时序分析的理论也正是基于上述的一些思考。它可以简单的定义为: 设计者提出一些特定的时序要求 (或者说是添加特定的时序约束), 套用特定的时序模型, 针对特定的电路进行分析。分析的最终结果当然是要求系统时序满足设计者提出的要求。

下面举一个最简单的例子来说明时序分析的基本概念。假设信号需要从输入到输出在 FPGA 内部经过一些逻辑延时和路径延时。系统要求这个信号在 FPGA 内部的延时不能超过 15ns, 而开发工具在执行过程中找到了如图 4.1 所示的一些可能的布局布线方式。那么, 怎样的布局布线能够达到系统的要求呢? 仔细分析一番, 发现所有路径的延时可能为 14ns、14ns、16ns、17ns、18ns, 有两条路径能够满足要求, 那么最后的布局布线就会选择满足要求的两条路径之一。

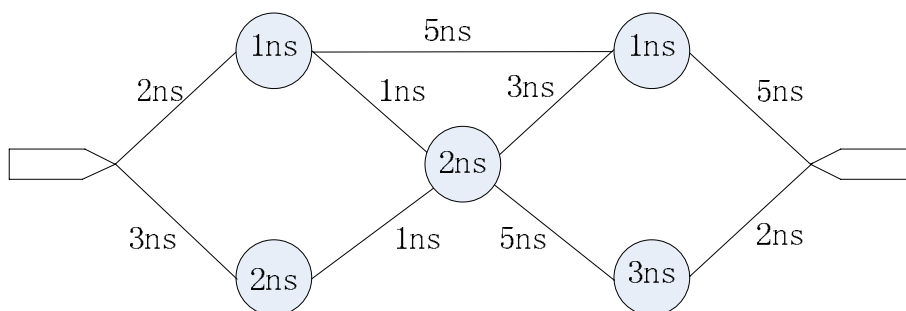


图 4.1 静态时序分析模型

静态时序分析的前提就是设计者先提出要求,然后时序分析工具才会根据特定的时序模型进行分析,即有约束才会有分析。若设计者不添加时序约束,那么时序分析就无从谈起。特权同学常常碰见一些初学者在遇到问题时不问青红皂白就认为是时序问题,实际上只有在添加了时序约束后,系统的时序问题才有可能暴露出来。

二、时钟相关概念

时钟这个并不陌生的词汇,特权同学也不大做文章,就先举个最典型的时钟模型献给大家。如图 4.2 所示,理想的时钟模型是一个占空比为 50%且周期固定的方波。 T_{clk} 为一个时钟周期, T_1 为高脉冲宽度, T_2 为低脉冲宽度, $T_{clk} = T_1 + T_2$ 。占空比定义为高脉冲宽度与周期之比,即 T_1 / T_{clk} 。

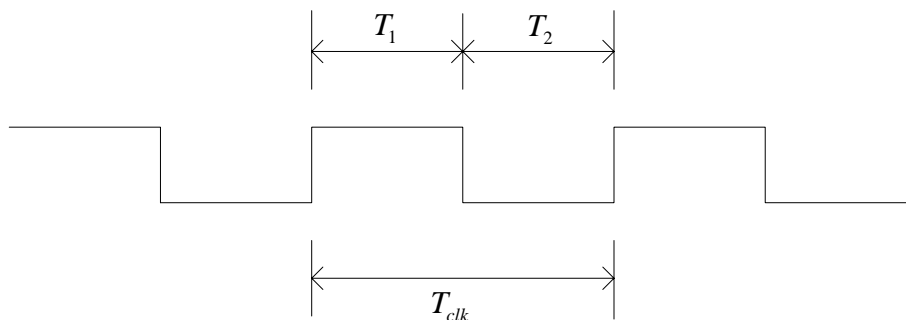


图 4.2 理想时钟波形

所谓建立时间 (T_{su}),是指在时钟上升沿到来之前数据必须保持稳定的时间;所谓保持时间 (T_h),是指在时钟上升沿到来以后数据必须保持稳定的时间。一个数据需要在时钟的上升沿被锁存,那么这个数据就必须在这个时钟上升沿的建立时间和保持时间内保持稳定。

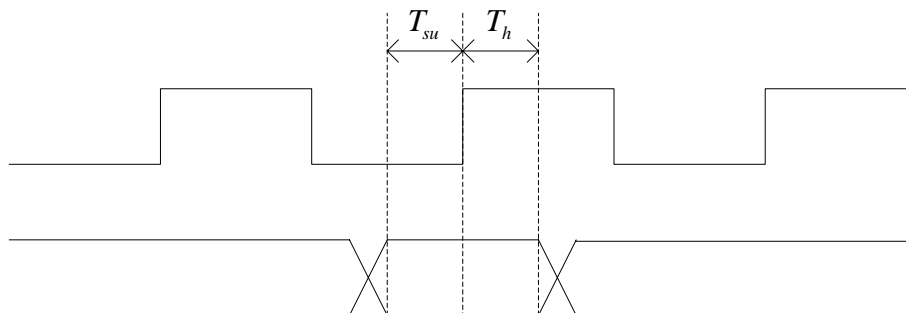


图 4.3 建立和保持时间

上面列举的是一个理想的时钟波形,而实际的时钟信号的分析却要比这复杂的多。时钟本身也具有有一些不确定性,如时钟抖动 (jitter) 和时钟偏斜 (skew) 等。

时钟的边沿变化不可能总是理想的瞬变，它会有一个从高到低或者从低到高的变化过程，实际的情况抽象出来就如图 4.4 所示，时钟信号边沿变化的不确定时间我们称之为时钟偏斜 (Clock skew)。再回到之前定义的建立时间和保持时间，严格的说，建立时间就应该是 $T_{su} + T_1$ ，而保持时间也就应该是 $T_h + T_2$ 了。

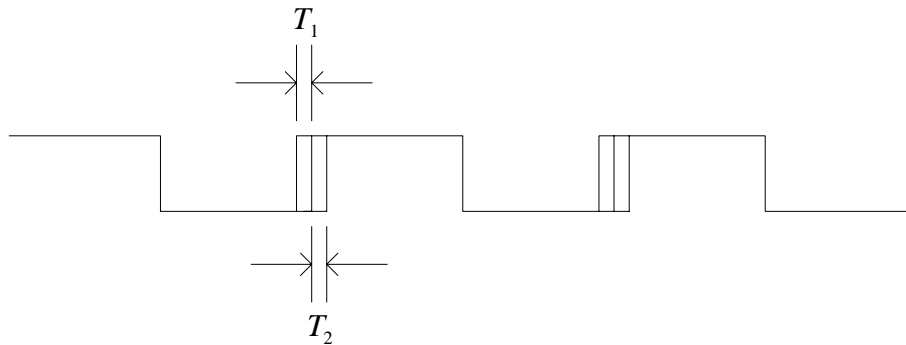


图 4.4 时钟抖动模型

时序分析的起点是源寄存器 (reg1)，终点是目的寄存器 (reg2)。时钟和其它信号的传输一样会有延时的。图 4.5 中，时钟信号从时钟源传输到源寄存器的延时定义为 T_{c2s} ，传输到目的寄存器的延时定义为 T_{c2d} 。时钟网络延时就定义为 T_{c2d} 与 T_{c2s} 之差，即 $T_{skew} = T_{c2d} - T_{c2s}$ ，这个概念在后面详细分析数据信号的传输中会涉及。

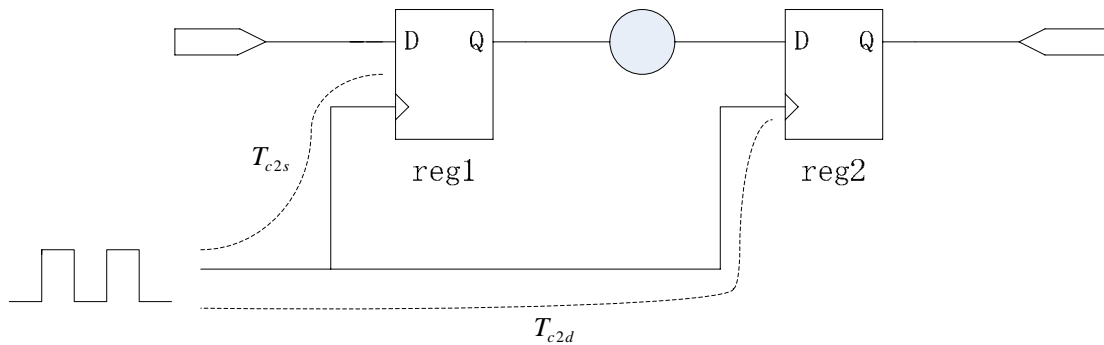


图 4.5 时钟偏斜的寄存器传输模型

图 4.6 是时钟偏斜模型的波形表示，在 FPGA 设计中，设计者不仅需要熟悉逻辑电路的寄存器模型，而且也需要看懂相应的波形图。

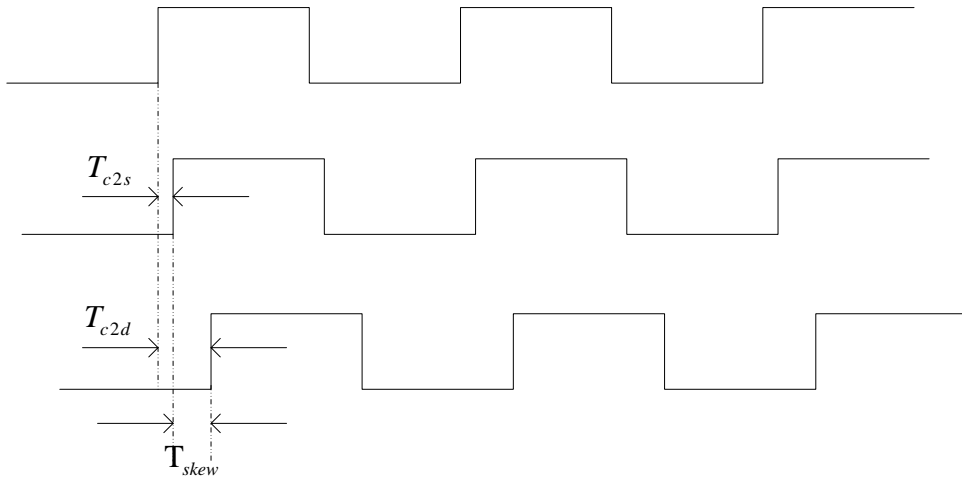


图 4.6 时钟偏斜的波形图

三、数据传输路径分析

了解了时钟的一些基本概念后，下面来看看时钟和数据传输到底有什么样的关系。

前面提到过，数据分析的起点是源寄存器 reg1，终点是目的寄存器 reg2，那么图 4.7 中的 T_{co} 便是数据传输的路径，它包括了数据在源寄存器 reg1 内部传输的延时 uT_{co} 、寄存器到寄存器之间的延时（即数据的走线延时与逻辑延时之和） T_{r2r} 。也就是 $T_{co} = uT_{co} + T_{r2r}$ 。

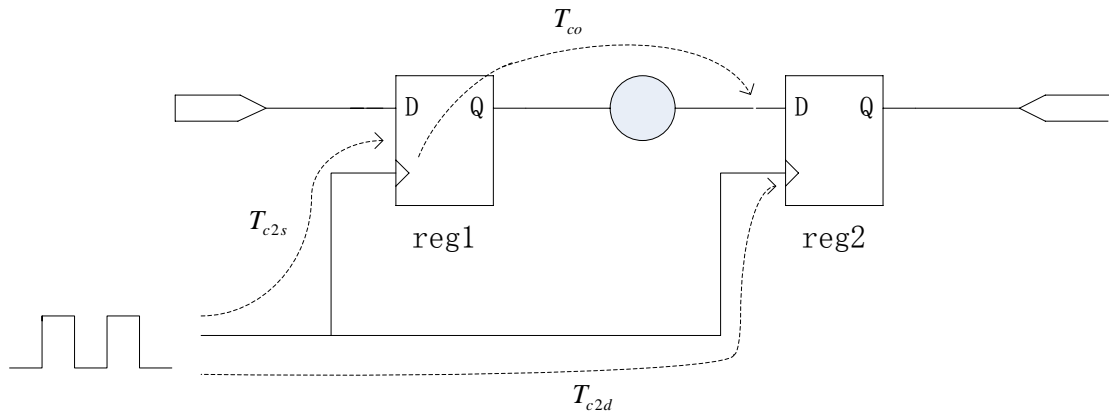


图 4.7 数据传输的寄存器模型

说了这么多，是不是有点乱了，不要紧，下面就来理一理思路。结合建立时间以及保持时间，可以得到如图 4.8 所示的一个波形。

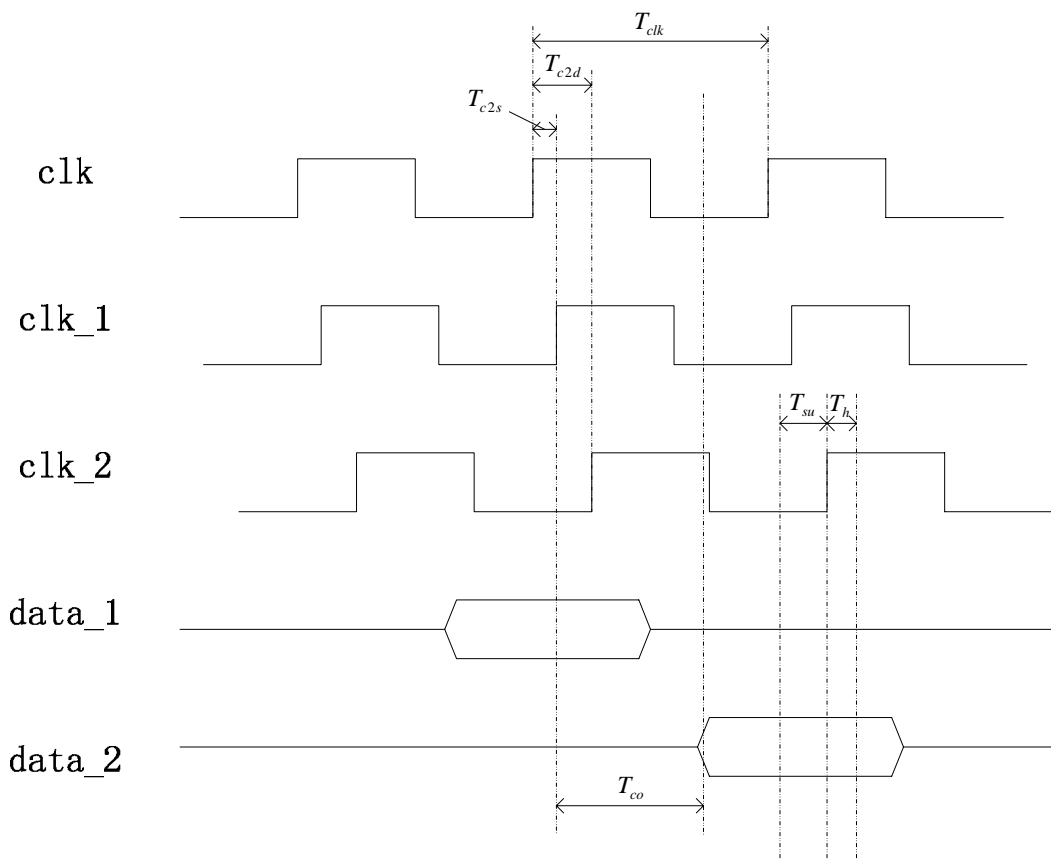


图 4.8 数据与时钟的关系

clk 是源时钟，可以认为是一个理想的时钟模型。clk_1 是时钟传输到源寄存器 reg1 的波形（延时 T_{c2s} ），clk_2 是时钟传输到目的寄存器 reg2 的波形（延时 T_{c2d} ）。data_1 是数据在源寄存器 reg1 的传输波形，data_2 是数据在目的寄存器 reg2 传输的波形。

下面先分析建立时间 T_{su} ，data_2 的数据必须在 clk_2 上升沿到来之前的 T_{su} 时间内保持稳定，波形所示是满足要求的。再看看保持时间 T_h ，data_1 的数据必须在 clk_2 的上升沿到来之后的 T_h 时间内保持稳定，波形所示也是满足要求的。最后看路径延时 T_{co} ，它是源寄存器 reg1 的时钟 clk_1 锁存数据 data_1 到数据出现在目的寄存器 reg2 的输入端口所经过的时间，它和建立时间、保持时间必须满足一定的关系，系统的时序才能够满足要求。

建立时间必须满足下面的公式：

$$T_{clk} + (T_{c2d} - T_{c2s}) > T_{co} + T_{su} \text{ 即 } T_{su} < T_{clk} - T_{co} + (T_{c2d} - T_{c2s})$$

保持时间必须满足下面的公式：

$$T_h < T_{co}$$

对于前面一个公式，如果是分析一个系统的最大频率，那么套用公式 $T_{clk} > T_{co} + T_{su} - (T_{c2d} - T_{c2s})$ 就可以说明问题。对于一个特定的 FPGA 器件，它的建立时间 T_{su} 、时钟网络延时 $(T_{c2d} - T_{c2s})$ 相对固定，所以系统最大频率的决定因素是数据传输延时 T_{co} 。所以在进

行系统时序优化的时候，主要的任务就是围着 T_{co} 做文章。

后面一个公式也不难理解，从某种意义上说， T_h 限制了数据传输的速度。因为如果 T_{co} 延时太短，导致上一级寄存器锁存的数据侵占了下一级寄存器正在锁存数据的保持时间，那么下一级寄存器就无法有效的锁存数据，系统时序也就无法达到要求。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书，欢迎各位网友到时购买，作为本视频和学习板/开发板的参考教材

特权

2009.11