

基于 SDRAM 读写的串口调试实验

希望对 SDRAM 是什么以及 SDRAM 的工作原理等基础知识这方面做深入了解（想玩转 SDRAM 当然要先对它的特性了如指掌）的朋友可以参考《高手进阶，终极内存技术指南——完整/进阶版》一文，据说该文章曾发表于《电脑高手》杂志 2002 年第 12 期。好东西一般都是在网络上伸手可及，而且还有很多经过加工修订后的版本。特权同学也是看着该文章入门的，但是要真正掌控 SDRAM 还是得在动手实践中多花时间琢磨。

SF-EP1C 开发板上使用的是三星 SDR SDRAM (K4S641632)。由于控制 SDRAM 的读写不同于之前的很多简单接口实验（它们对时序的要求都不高，即便不做时序约束也无关紧要），SDRAM 的时钟沿和数据总线、地址总线以及控制总线都存在严格的时序关系，尤其当频率较高（我们的设计中达到了 100MHz，接近了该器件标称的 133MHz 的最高频率）时，稍有闪失就会造成通信的不正常。

该实例的核心是设计一个 SDRAM 控制器。首先，设计者需要对这个控制器内部的逻辑功能做细分，将其划分为多个子模块来实现。如图 5.77 所示，sdrctl 是 SDRAM 状态控制模块，该模块主要完成 SDRAM 的上电初始化以及定时刷新、读写控制等状态的变迁，内部设计了两个状态机，一个用于上电初始化的状态控制，另一个则用于正常工作时的状态控制；sdrctl_cmd 是 SDRAM 命令模块，该模块根据 sdrctl 模块的不同状态指示输出相应的 SDRAM 控制命令和地址（控制总线信号如 sdrctl_cke、sdrctl_cs_n、sdrctl_we_n、sdrctl_ras_n、sdrctl_cas_n，地址总线信号 sdrctl_addr）；sdrctl_wr_data 是 SDRAM 数据读写模块，该模块同样是根据 sdrctl 模块的状态指示完成 SDRAM 数据总线的控制，SDRAM 的数据读写都在该模块完成。

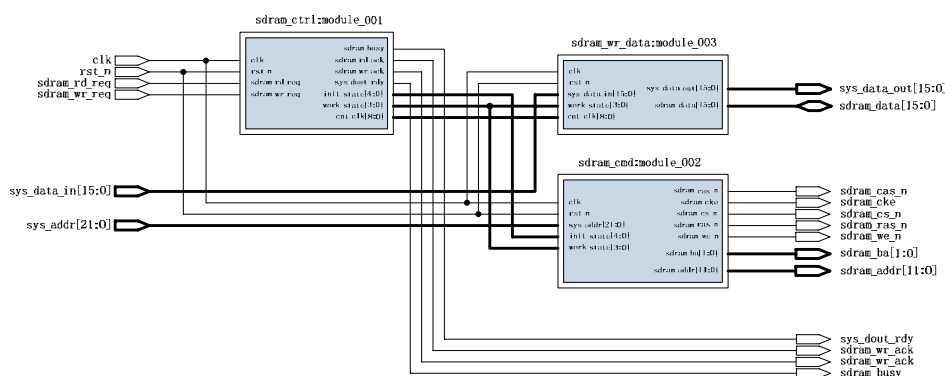


图 5.77 SDRAM 控制器 RTL 视图

如图 5.78 所示，SDRAM 的上电初始化步骤一般是（相关的基本概念请参考前文推荐的参考文章）：

- 等待 200us，这是 SDRAM 的输入稳定期；
- 所有 L-BANK 预充电；
- 至少 8 个预刷新周期；
- 模式寄存器设置 (MSR)，完成 SDRAM 读写相关的配置。

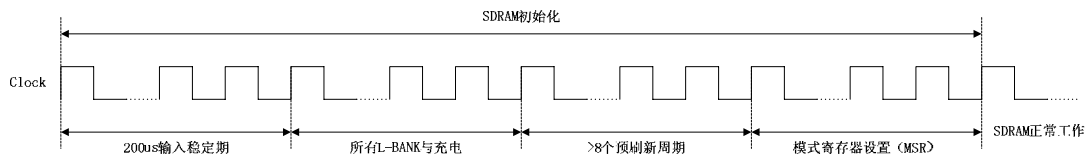


图 5.78 SDRAM 初始化

如图 5.79 所示，SDRAM 的初始化状态机有 20 个状态，最后到达 I_DONE 状态后停止，说明初始化完成，然后另一个用于指示 SDRAM 正常工作状态的状态机将被激活。

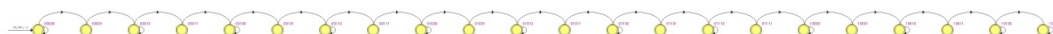


图 5.79 初始化状态机视图

关于 SDRAM 正常工作的读写时序请读者参考相关 datasheet 《K4S641632C.pdf》，这里不花太多篇幅讨论。SDRAM 正常工作状态下的状态迁移如图 5.80 所示。不操作 SDRAM 时处于 W_IDLE 状态，如果有读请求、写请求或者自刷新请求信号产生，则进入的相应的状态，在这些不同的响应状态中，设计者需要协调好 SDRAM 的控制总线、地址总线、数据总线，从而保证稳定可靠的读写 SDRAM 的数据。

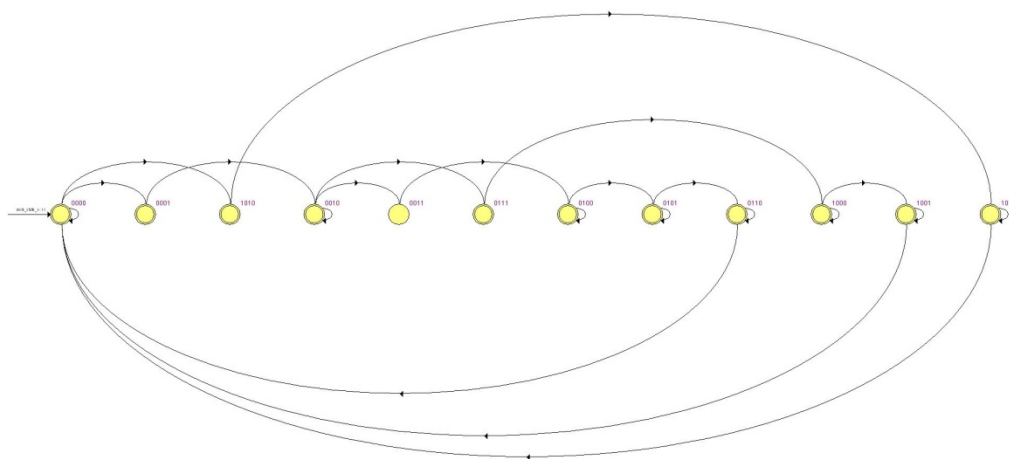


图 5.80 正常工作状态机视图

再说 SDRAM 的时钟信号产生，这个时钟信号主要是输出给 SDRAM 使用，用于同步 FPGA 传输给 SDRAM 的信号。如图 5.81 所示，这个时钟和信号间必须是中央对齐的，以保证传输信号在时钟的上升沿正确的被 SDRAM 接收。

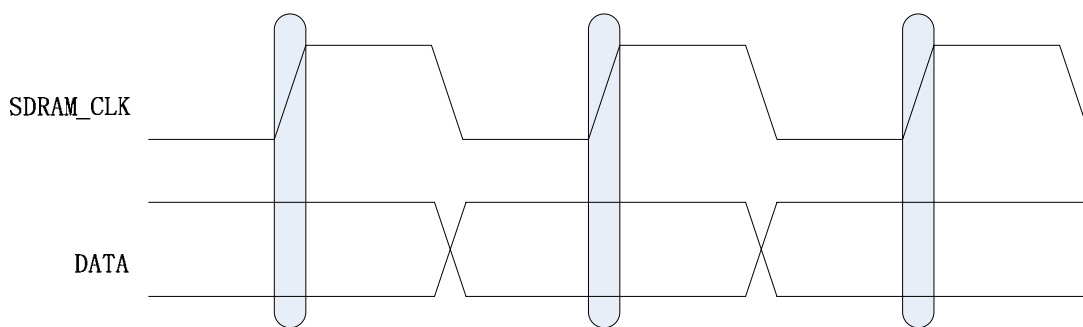


图 5.81 输出信号与 SDRAM 时钟

而系统时钟（FPGA 内部的工作时钟）和输出信号的关系却如图 5.82 所示。

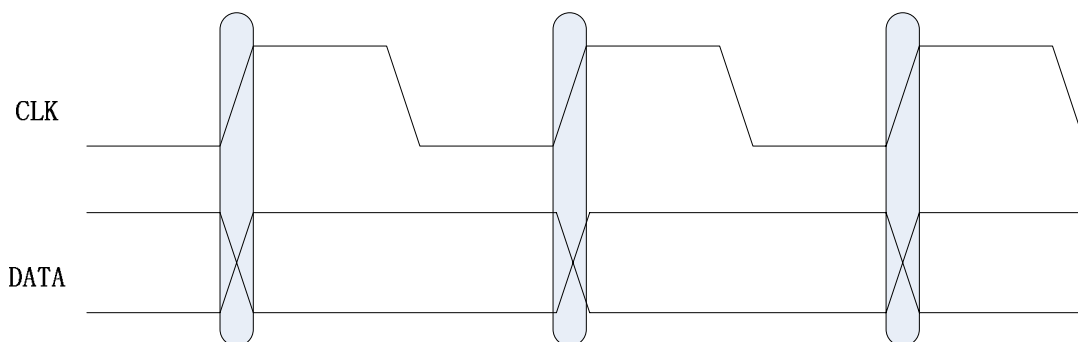


图 5.82 输出信号与系统时钟

那么如何能够保证 SDRAM 的驱动时钟和信号的关系如图 5.81 所示呢？使用 PLL 来调整时钟频率和相位是不错的选择，因此特权同学根据调试和时序分析的结果，对传输到 SDRAM 的时钟信号添加了+3ns 的偏移，从而保证了 SDRAM 在锁存数据时有可靠的建立时间和保持时间裕量。这个相位偏移是必需的，但不是固定的，设计者需要具体问题具体分析。

说完这个 SDRAM 的底层控制方式，我们还要来看其它模块如何利用它达到有效的数据读写。这里借助了两个存储器（异步 FIFO）来达到这个目的，如图 5.82 所示，wrfifo 用于写 SDRAM 数据，rdfifo 用于读 SDRAM 数据。由于该工程中 SDRAM 读写都是以 8 个字（16bit）为单位，所以使用了 FIFO 当前数据量作为操作 SDRAM 的状态指示。当 wrfifo 数量超过 8 个则发出写 SDRAM 请求，在写选通期间，适当的时候就将相应的读出 wrfifo 中的 8 个数据。同样，在 rdfifo 数据少于 256 个字节（rdfifo 半空）时发出读 SDRAM 请求，适当的时候将读出 8 个新的数据写入 rdfifo 中，以保证后续电路总是持续的传输从 rdfifo 读出的数据。

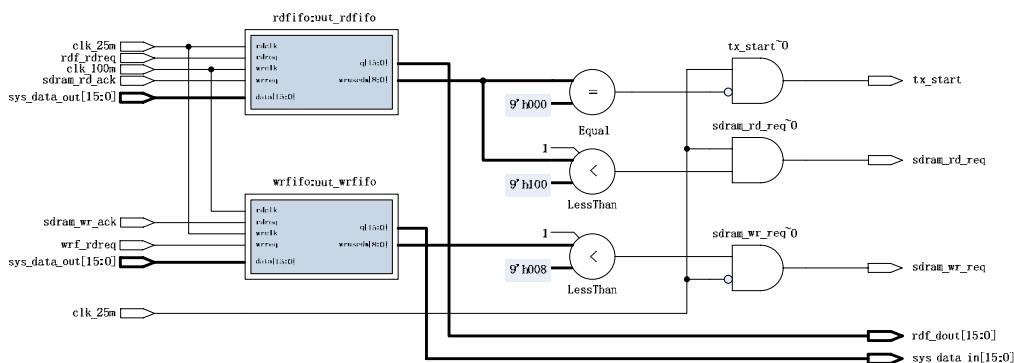


图 5.82 FIFO 控制

从总体上来看这个工程，工程内部分为 PLL 以及复位处理模块、SDRAM 控制器模块、读写 SDRAM 数据缓存模块、模拟写 SDRAM 模块和串口发送模块，RTL 视图如图 5.83 所示。

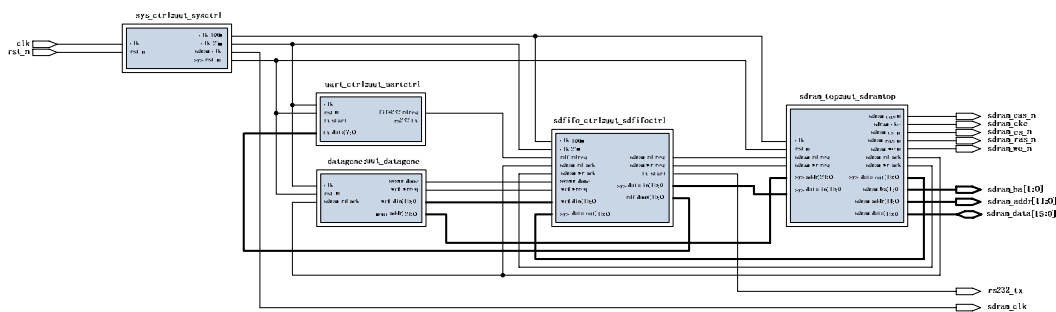


图 5.83 SDRAM 工程顶层 RTL 视图

首先由写 SDRAM 逻辑模块在上电延时后从 SDRAM 的 0 地址开始写入递增数据，随后通过内部 FIFO 依次送入 SDRAM。SDRAM 的所有地址写完数据后，启动 SDRAM 读逻辑，从 0 地址开始读出 SDRAM 内的数据放入缓存 FIFO 中，然后串口模块把该 FIFO 中的数据依次上传到 PC 机（串口线接到 PC 机，使用串口调试助手观察即可）。整个过程主要就是测试 SDRAM 读写，内部逻辑大都使用 25MHz 的时钟，SDRAM 读写使用了 100MHz。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书，欢迎各位网友到时购买，作为本视频和学习板/开发板的参考教材

特权

2009.11.11