

DIY 逻辑分析仪

一、背景介绍

逻辑分析仪是一种类似于示波器的波形测试设备，它可以监测硬件电路工作时的逻辑电平（高或低），存储后用图形的方式直观地表达出来，主要是方便用户在数字电路的调试中观察输出的逻辑电平值。逻辑分析仪是电路开发中不可缺少的设备，通过它，可以迅速地定位错误，解决问题，达到事半功倍的效果。如图 6.1 所示，一个逻辑分析的基本功能架构主要包括数据采样、触发控制、数据存储和现实控制四大部分。

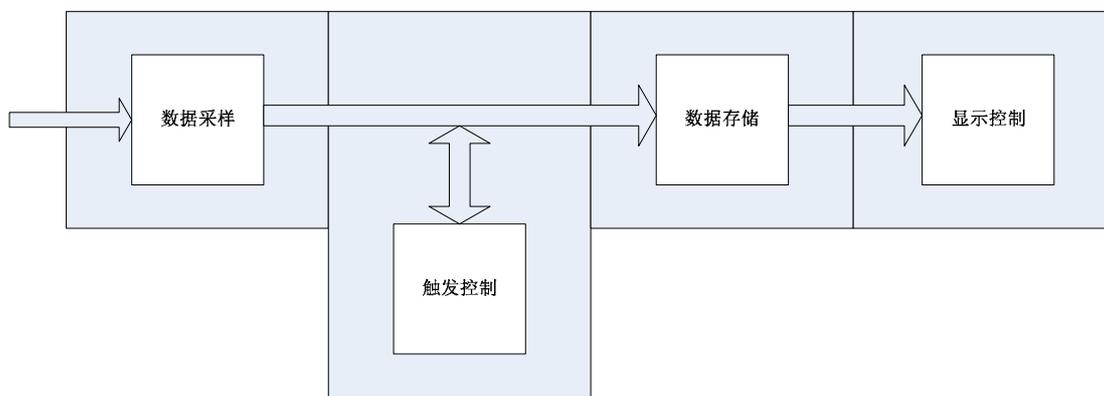


图 6.1 逻辑分析仪功能框图

逻辑分析仪是利用时钟从测试设备上采集和显示数字信号的仪器，主要作用是时序判定。由于逻辑分析仪不像示波器那样有许多电压等级，通常只显示两个电压（逻辑 0 和 1）。因此，设定了参考电压后，逻辑分析仪将被测信号通过比较器进行判定，高于参考电压者逻辑为 1，低于参考电压者为逻辑 0，在逻辑 1 与逻辑 0 之间形成数字波形。

整体而言，逻辑分析仪测量被测信号时，并不会显示出电压值，只是简单的显示逻辑 1 或者逻辑 0 的差别。如果要测量电压就一定需要使用示波器。除了电压值的显示不同外，逻辑分析仪与示波器的另一个差别在于通道数量。一般的示波器只有 2 个通道或 4 个通道，而逻辑分析仪可以拥有从 16 个通道、32 个通道、64 个通道和上百个通道数不等，因此逻辑分析仪具备同时进行多通道测试的优势，更适合于对总线式信号的调试。

根据硬件设备设计上的差异，目前市面上逻辑分析仪大致上可分为独立式（或单机型）逻辑分析仪和需结合电脑的卡式虚拟逻辑分析仪。独立式逻辑分析仪是将所有的测试软件、运算管理元件以及数据采集单元整合在一台仪器之中；卡式虚拟逻辑分析仪则需要搭配电脑一起使用，显示屏也与主机分开。

就整体规格而言，独立式逻辑分析仪已发展到相当高标准的产品，例如采样率可达

8GHz、通道数可扩充到 300 个通道以上，存储深度相对也高，独立式逻辑分析仪价格昂贵，一般用户很少用得起。基于计算机接口的卡式虚拟逻辑分析仪，以较小的成本提供了相应的性能，但是卡式虚拟逻辑分析仪也有很大缺点，它需要配备电脑才能使用，尤其数字测试中，工程师往往会陷入一堆 PCB 板中，采用旋转按钮的仪器要比在屏幕上移动鼠标更加方便。

二、功能需求及模块划分

在了解了逻辑分析仪的基本功能以后，需要明确该设计工程的功能需求，需要实现一个怎样的逻辑分析仪？这个逻辑分析仪都需要包含哪些功能？对于这些问题，特权同学罗列了下述 9 个功能点。

- ① 使用 cyclone 系列的 EP1C3T144 为基础来实现所有的功能，以 SF-EP1C 开发板作为目标板。
- ② EP1C3T144C8 标称理想情况下最大频率可以跑到 275MHz，但是实际设计中达到 150MHz 就很不错了。所以退一步，我们的简单逻辑分析仪的信号捕获精度定位在 100MHz。
- ③ 4 路的信号捕获输入通道，1 路的信号触发通道（可配置的上升沿或者下降沿触发）。
- ④ 3 种采样模式：
 MODE1—触发后显示后 64 个采样数据；
 MODE2—触发后显示前 32 个采样数据和后 32 个采样数据；
 MODE3—触发后显示前 64 个采样数据。
- ⑤ 使用电脑显示器（VGA）作为波形显示屏幕，工作在 60Hz/640*480 分辨率下，以每 8 个像素点为单位作为一个采样数据的显示长度。
- ⑥ 一位拨码开关，用于控制上升沿触发或者下降沿触发。
- ⑦ 三位拨码开关，用于配置触发模式，例如：开关 1 拉高则开启 MODE1，开关 2 拉高则开启 MODE2，开关 3 拉高则开启 MODE3。同一时刻三个开关只能有一个置高，否则命令无效。
- ⑧ 除了有一个 FPGA 的系统复位按键外，还有一个逻辑分析仪的采样清除按键，低有效。用于清除当前采样波形，以开始一个新的采样触发。
- ⑨ 采样频率（采样周期）可设置，由两个按键调节控制。
 可调的采样频率(采样周期)如表 6.1 所示，共分 10 个等级。

表 6.1 采样频率/周期列表

频率	100M	50M	25M	10M	2M	1M	500K	200K	100K	10K
周期	10ns	20ns	40ns	100ns	500ns	1us	2us	5us	10us	100us

对于我们的这个设计，前面已经明确了整个设计最终需要实现的功能。往后是详细的设

设计阶段，特权同学罗列了设计者需要考虑的一些关键点以及注意事项。

① 别急着写代码，先好好考虑，把所有可能用到的输入输出接口整理清楚，然后划分模块。例如，顶层下我们分三个模块，其一是系统模块，可以包括 PLL 输出（必须用 PLL 是因为我们的输入时钟 25M，需要 4 倍频才能得到采样时钟 100M，还有 VGA 的时序用 25M 来产生，那么这两个时钟需要同时从 PLL 里输出）和系统复位信号的产生；其二是信号采集模块，这个模块处理信号采集、触发模式设置、采样模式、采样频率设置等相关的设计；其三是 VGA 显示模块，这个模块包含 VGA 显示驱动相关的设计。

② 开始我们的设计（verilog RTL 级代码设计）……切入点在哪就因人而异了，不过对于这个设计来说，个人认为应该是先从系统模块做起，再到数据采集，最后才是处理 VGA 显示部分，大体是按照数据流的方向来设计更有助于理顺思路。

③ 综合，进行功能仿真，不带有任何延时信息的仿真，验证前面的代码设计是否达到预定功能要求，不断测试，不断修改。这期间你要学会写 testbench 进行设计的仿真验证，而不是简单的添加一些波形激励；观察结果也不能只看波形，要学会使用一些诸如内部判断打印信息、输出数据到 txt 等更有效方便的方式进行验证。

④ 实现，添加时序约束，这个工程请查看工程目录下的 .sdc 文件，里面对工程进行了时序约束，达到时序收敛。在这期间，如果时序违规，那么可以考虑回头修改你的代码、或是添加一些允许的时序例外以缓解时序、再或者对一些软件里的综合实现的选项进行必要的设置……总之，方法有很多，这个也是设计里很重要的一个环节。更多内容请参考 Quartus II_handbook 里关于 TimeQuest 的相关章节，或者可以多找找 altera 提供的很多相关的 application note。

⑤ 时序仿真，可选。添加了设计实现即布局布线后延时信息的仿真，和板级的模型很接近了，但是有时候一个大工程往往无法忍受大量的时间耗费在这里，所以时序约束达到收敛后，这个仿真也只是可选的，并不一定要做。

⑥ 板级调试，对于一个大工程，一次性成功的概率微乎其微，再认真也总是有犯错的时候。在板级调试中要学会不断的发现问题、分析问题并解决问题。也许到这一步会出现很多问题，多次返工从代码设计找问题也很正常。

模块的划分如图 6.2 所示。三个主模块大体就是根据数据流的方向来划分。sys_ctrl 模块对系统复位信号进行异步复位、同步释放的处理，并且例化 PLL，得到多个稳定可靠的时钟信号。sampling_ctrl 模块包含按键检测、触发控制和模式选择、数据采集、数据存储等多个功能点，可以说它是采集控制部分的核心模块。vga_ctrl 模块重点在 VGA 显示器的界面设计和显示驱动部分的时序控制。

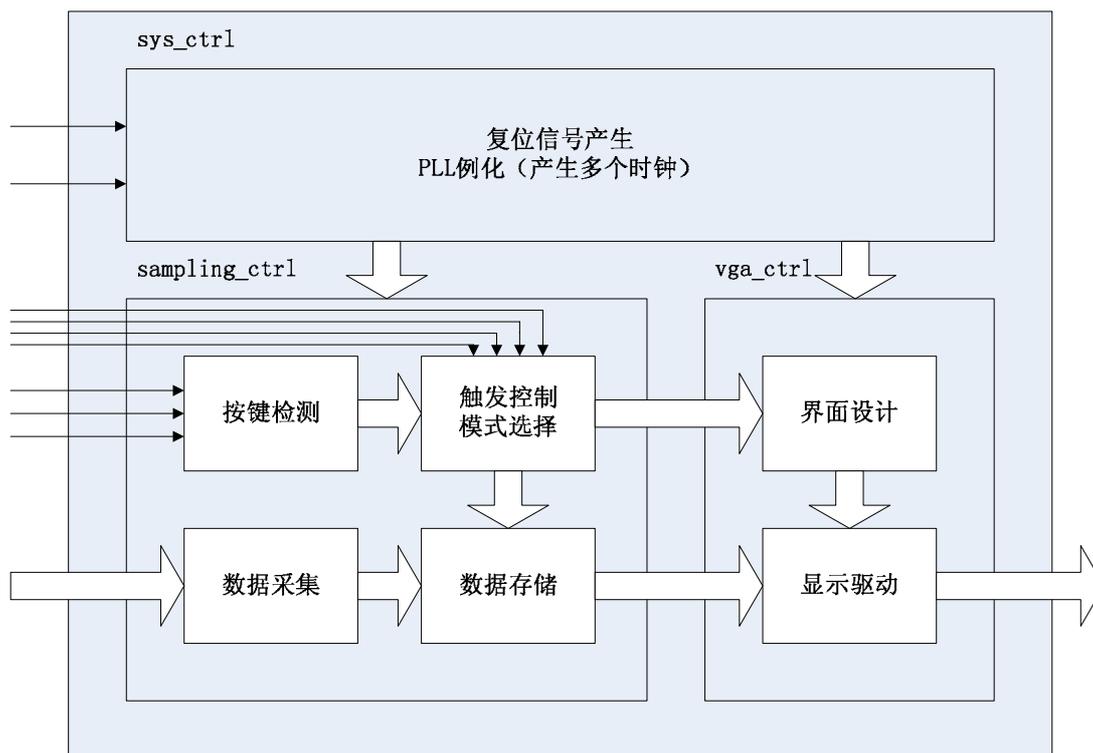


图 6.2 模块划分

DIY 逻辑分析仪工程源码配合 SF-EP1C6 开发板使用，FPGA 管脚定义以及分配如表 2 所示。

表 6.2 管脚定义及分配

名称	方向	分配	作用
Clk	input	PIN16	FPAG 输入时钟信号 25MHz
Rst_n	input	PIN144	FPAG 输入复位信号，低电平有效
Signal[0]	input	P5 的 PIN109	第 0 路采样信号
Signal[1]	input	P5 的 PIN110	第 1 路采样信号
Signal[2]	input	P5 的 PIN111	第 2 路采样信号
Signal[3]	input	P5 的 PIN112	第 3 路采样信号
Signal[4]	input	P5 的 PIN113	第 4 路采样信号
Signal[5]	input	P5 的 PIN114	第 5 路采样信号
Signal[6]	input	P5 的 PIN119	第 6 路采样信号
Signal[7]	input	P5 的 PIN120	第 7 路采样信号
Signal[8]	input	P5 的 PIN121	第 8 路采样信号
Signal[9]	input	P5 的 PIN122	第 9 路采样信号
Signal[10]	input	P5 的 PIN123	第 10 路采样信号
Signal[11]	input	P5 的 PIN124	第 11 路采样信号

Signal[12]	input	P5 的 PIN125	第 12 路采样信号
Signal[13]	input	P5 的 PIN128	第 13 路采样信号
Signal[14]	input	P4 的 PIN96	第 14 路采样信号
Signal[15]	input	P4 的 PIN97	第 15 路采样信号
trigger	input	P4 的 PIN98	1 路触发信号，可配置为上升沿或者下降沿触发
tri_mode	input	S5-1 即 PIN75	拨码开关 1 控制触发模式选择：1--上升沿触发，0--下降沿触发
sampling_mode[0]	input	S5-2 即 PIN76	拨码开关 2 控制采样模式选择：1—MODE1
sampling_mode[1]	input	S5-3 即 PIN77	拨码开关 3 控制采样模式选择：1—MODE2
sampling_mode[2]	input	S5-4 即 PIN78	拨码开关 4 控制采样模式选择：1—MODE3
add_key	input	按键 S1 即 PIN57	按键用于控制采样频率的降低，低电平表示按下
dec_key	input	按键 S2 即 PIN58	按键用于控制采样频率的提高，低电平表示按下
sampling_clr_n	input	按键 S4 即 PIN60	采样清除信号，用于清除当前采样数据，低有效
hsync	output	PIN61	VGA 行同步信号
vsync	output	PIN62	VGA 场同步信号
vga_r[2]	output	PIN74	VGA 色彩
vga_r[1]	output	PIN73	VGA 色彩
vga_r[0]	output	PIN72	VGA 色彩
vga_g[2]	output	PIN71	VGA 色彩
vga_g[1]	output	PIN70	VGA 色彩
vga_g[0]	output	PIN69	VGA 色彩
vga_b[1]	output	PIN67	VGA 色彩
vga_b[0]	output	PIN68	VGA 色彩

重要说明：

1. Signal 总线最多可以接入 16 个待采样信号，用户可随意分配到 P5/P6 插座上，支持电压 3.3V。
2. 拨码开关 2/3/4 在同一时刻只能有一个处于开启状态。

三、数据采集、触发及存储

信号采集模块 `sampling_ctrl.v` 的输入输出接口定义如表 6.3 所示。

表 6.3 接口定义

信号名称	方向	描述
<code>clk_100m</code>	input	FPAG 采样时钟信号, 频率为 100MHz
<code>rst_n</code>	input	系统复位信号, 低电平有效
<code>signal[15:0]</code>	input	16 路被采样信号
<code>trigger</code>	input	1 路触发信号, 可配置为上升沿或者下降沿触发
<code>tri_mode</code>	input	触发信号模式选择, 1--上升沿触发, 0--下降沿触发
<code>sampling_mode[2:0]</code>	input	采样模式选择, 高电平表示选中。001--MODE1, 010--MODE2, 100--MODE3
<code>add_key</code>	input	按键用于控制采样频率的降低, 低电平表示按下
<code>dec_key</code>	input	按键用于控制采样频率的提高, 低电平表示按下
<code>sampling_clr_n</code>	input	采样清除信号, 用于清除当前采样数据, 低有效
<code>disp_ctrl</code>	output	VGA 触发且采样完成, 显示波形使能
<code>sampling_rate[3:0]</code>	output	采样率设置寄存器, 0-100M, 1-50M, ……., 9-10K
<code>sft_r0[63:0]</code>	output	移位寄存器组 0, 送给 VGA 显示的数据
<code>sft_r1[63:0]</code>	output	移位寄存器组 1, 送给 VGA 显示的数据
<code>sft_r2[63:0]</code>	output	移位寄存器组 2, 送给 VGA 显示的数据
<code>sft_r3[63:0]</code>	output	移位寄存器组 3, 送给 VGA 显示的数据
<code>sft_r4[63:0]</code>	output	移位寄存器组 4, 送给 VGA 显示的数据
<code>sft_r5[63:0]</code>	output	移位寄存器组 5, 送给 VGA 显示的数据
<code>sft_r6[63:0]</code>	output	移位寄存器组 6, 送给 VGA 显示的数据
<code>sft_r7[63:0]</code>	output	移位寄存器组 7, 送给 VGA 显示的数据
<code>sft_r8[63:0]</code>	output	移位寄存器组 8, 送给 VGA 显示的数据
<code>sft_r9[63:0]</code>	output	移位寄存器组 9, 送给 VGA 显示的数据
<code>sft_ra[63:0]</code>	output	移位寄存器组 a, 送给 VGA 显示的数据
<code>sft_rb[63:0]</code>	output	移位寄存器组 b, 送给 VGA 显示的数据
<code>sft_rc[63:0]</code>	output	移位寄存器组 c, 送给 VGA 显示的数据

sft_rd[63:0]	output	移位寄存器组 d, 送给 VGA 显示的数据
sft_re[63:0]	output	移位寄存器组 e, 送给 VGA 显示的数据
sft_rf[63:0]	output	移位寄存器组 f, 送给 VGA 显示的数据

时钟 clk_100m 是由 PLL 电路对 FPGA 输入的 25MHz 晶振时钟倍频得到的, 用于对 16 路待采样信号的采集。触发信号模式选择输入 tri_mode 和采样模式选择输入 sampling_mode[2:0] 都是直接由 FPGA 外部的一组拨码开关控制的。用户可以通过拨码开关控制这些输入电平为高或者低, 从而设置不同的触发和采样模式。触发信号输入 trigger 可以配置成上升沿有效或者下降沿有效。若设置为上升沿有效(拨码开关设置 tri_mode=1), 则当 FPGA 检测到 trigger 的输入电平由 0 到 1 跳变时, FPGA 就根据一定的采样模式将采样到的 16 路信号显示到液晶屏上。若设置为下降沿有效(拨码开关设置 tri_mode=0), 则当 FPGA 检测到 trigger 的输入电平由 1 到 0 跳变时, 相应显示 16 路信号的一组采样值。

add_key 和 dec_key 是两个按键, FPGA 中设计了一个按键检测电路用于处理它们的键值。按键未被按下时保持高电平, 有键按下则相应键值为低电平, 设计中通过 20ms 间隔采样和脉冲边沿检测法实现这个按键的检测。这两个按键每次有效按下后, 相应的提高或者降低信号采样的频率。也就是说, 用这两个按键设置表 6.1 所示的 10 档采样频率。采样清除信号 sampling_clr_n 也是 FPGA 外部的一个按键, 该按键的作用就是清除之前采集到的数据以及当前显示的采样波形, 准备下一次数据采集。

disp_ctrl 信号用于控制液晶屏是否显示波形, 只有当触发信号有效后(出现上升沿或者下降沿), disp_ctrl 才会被置高电平, 液晶屏才会显示采集到的数据波形。

sampling_rate[3:0] 表示了当前的数据采样频率, 它输出到 VGA 显示模块, 主要是用于液晶屏显示相应的数值, 便于用户把握当前的采样频率值。

sft_r0[63:0] 到 sft_rf[63:0] 这 16 组数据就是 16 路输入信号在触发后, 最终需要显示到液晶屏供用户观察的连续 64 个采样值。这 16 个数组一直以移位寄存器的方式不断的读进新的采样值, 直到触发信号到来, 根据采样模式的不同, 在相应的时刻这个移位寄存器停止工作, 当前的 64 位采用值也就固定不变了。

四、基于 VGA 的显示界面设计

VGA 显示驱动控制模块 vga_ctrl.v 的输入输出接口定义如表 6.4 所示。

表 6.3 接口定义

信号名称	方向	描述
clk_25m	input	VGA 时序驱动时钟, 频率为 25MHz
rst_n	input	系统复位信号, 低电平有效

sampling_mode[2:0]	input	采样模式选择, 高电平表示选中。001--MODE1, 010--MODE2, 100--MODE3
tri_mode	input	触发信号模式选择, 1--上升沿触发, 0--下降沿触发
disp_ctrl	input	VGA 触发且采样完成, 显示波形使能
sampling_rate[3:0]	input	采样率设置寄存器, 0-100M, 1-50M, ……., 9-10K
sft_r0[63:0]	input	移位寄存器组 0, 送给 VGA 显示的数据
sft_r1[63:0]	input	移位寄存器组 1, 送给 VGA 显示的数据
sft_r2[63:0]	input	移位寄存器组 2, 送给 VGA 显示的数据
sft_r3[63:0]	input	移位寄存器组 3, 送给 VGA 显示的数据
sft_r4[63:0]	input	移位寄存器组 4, 送给 VGA 显示的数据
sft_r5[63:0]	input	移位寄存器组 5, 送给 VGA 显示的数据
sft_r6[63:0]	input	移位寄存器组 6, 送给 VGA 显示的数据
sft_r7[63:0]	input	移位寄存器组 7, 送给 VGA 显示的数据
sft_r8[63:0]	input	移位寄存器组 8, 送给 VGA 显示的数据
sft_r9[63:0]	input	移位寄存器组 9, 送给 VGA 显示的数据
sft_ra[63:0]	input	移位寄存器组 a, 送给 VGA 显示的数据
sft_rb[63:0]	input	移位寄存器组 b, 送给 VGA 显示的数据
sft_rc[63:0]	input	移位寄存器组 c, 送给 VGA 显示的数据
sft_rd[63:0]	input	移位寄存器组 d, 送给 VGA 显示的数据
sft_re[63:0]	input	移位寄存器组 e, 送给 VGA 显示的数据
sft_rf[63:0]	input	移位寄存器组 f, 送给 VGA 显示的数据
hsync	output	VGA 行同步信号
vsync	output	VGA 场同步信号
vga_r[2:0]	output	VGA 色彩
vga_g[2:0]	output	VGA 色彩
vga_b[1:0]	output	VGA 色彩

时钟 clk_25m 是由 PLL 电路对 FPGA 输入的 25MHz 晶振时钟处理后得到的, 用于 VGA 工作于 640*480/60Hz 的驱动时钟。

采样模式选择 sampling_mode[2:0]和触发信号模式选择 tri_mode 都是由 FPGA 外部拨码开关控制的输入信号, 波形显示控制位 disp_ctrl 和采样频率寄存器 sampling_rate[3:0]都是由上一个模块 sampling_ctrl.v 送过来的。这些信号之所以要输入到该模块, 主要就是

传递一些需要显示到液晶屏上的字符的相关信息。如图 6.3 所示，该模块就是要完成这样一个基本的显示界面的设计。而 `sampling_rate[3:0]`、`tri_mode` 和 `sampling_mode[2:0]` 这几组信号也就是传递了“Sampling Period:”、“Trigger mode:”和“Sampling Mode:”这些选项后的集体参数信息。`disp_ctrl` 则是控制着主界面中是否显示信号的波形，图 6.3 中并未显示任何波形，说明 `disp_ctrl` 处于关闭状态，触发信号没有被触发。

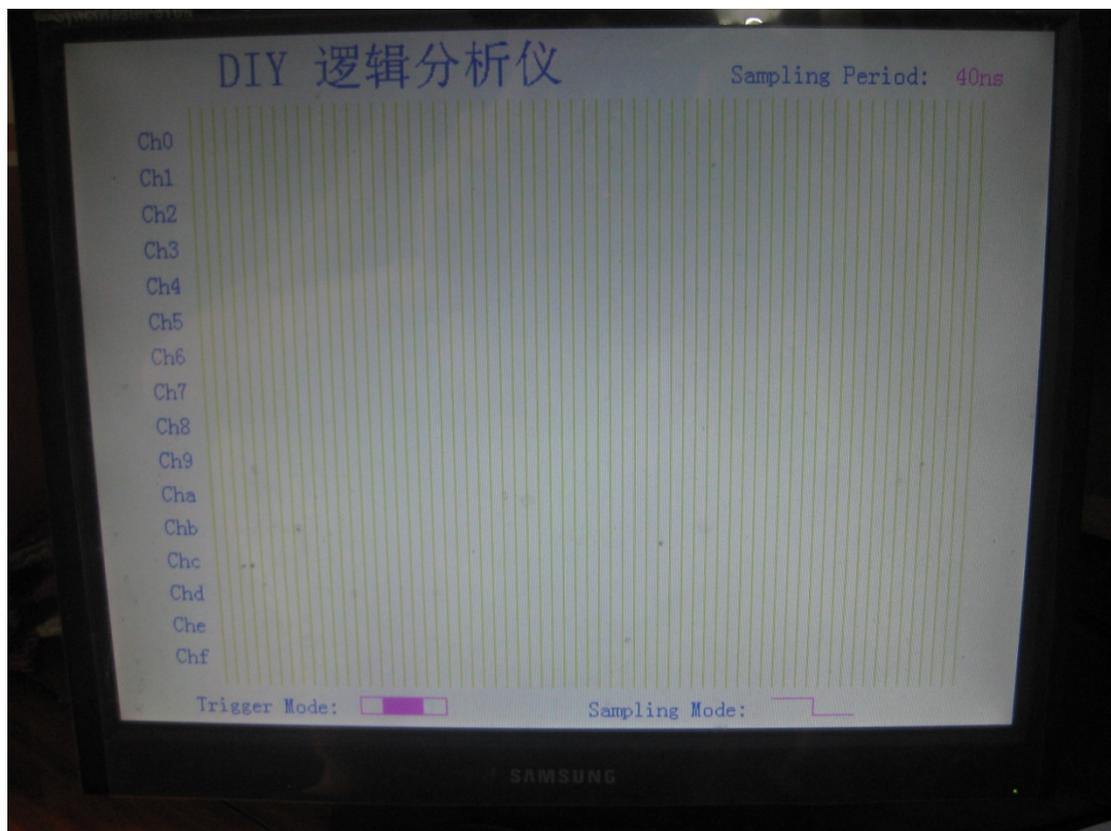


图 6.3 VGA 界面设计效果

该模块中的很多字模数据并不是由其它模块送过来的，它充分利用了 EP1C3T144 的 M4K 存储块配置了一些 ROM，这些 ROM 里就存储了这些字符的自模数据。详细的寻址和送显示的方式和前一章中《VGA 字符显示实验》是类似的，只不过这个部分需要显示的字符较多，涉及的扫描控制逻辑较复杂，需要设计者更细心一些。

详细设计请参考配套光盘相关工程代码，内有详细的注释和说明。

欢迎加入 EDN 网站 FPGA/CPLD 助学小组 <http://group.ednchina.com/1375/>

购买 BJ-EPM240 CPLD 学习板 <http://group.ednchina.com/1375/23842.aspx>

购买 SF-EP1C FPGA 开发板 <http://group.ednchina.com/1375/27650.aspx>

北航出版社将于 2010 年 3 月份前后出版《深入浅出玩转 FPGA》一书，欢迎各位网友到时购买，作为本视频和学习板/开发板的参考教材

特权

2009. 11. 11