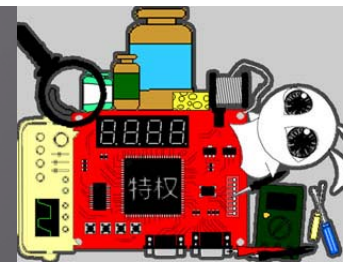


Lesson 4

Verilog语法基础



听取Altera官方在线课程 “Verilog HDL基础”

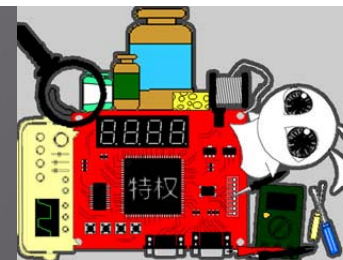
知道Verilog HDL语言的起源。

理解语言基础。

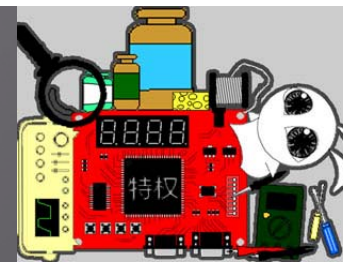
使用Verilog HDL构建模块(设计单元), 包括模块、端口、处理和分配等。

能够对代码类型进行建模, 包括行为代码类型和结构代码类型。

理解Verilog HDL设计方法, 以及仿真模型和综合模型之间的不同。

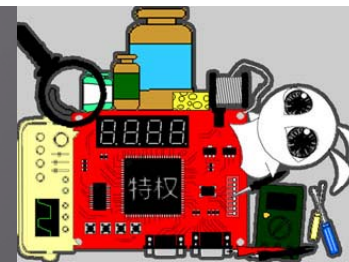


可综合的Verilog语法子集



简单的verilog实例

1. 一个简单的与门逻辑实现 $a=b\&c$;
2. 四位的计数器，在时钟节拍的控制下实现0-15循环计数，并将计数结果输出;



好书推荐

1. 夏宇闻 《Verilog数字系统设计教程》
2. 《verilog黄金参考指南中文版》；
3. 更多基础资料请访问EDN网站
FPGA/CPLD助学小组的《**verilog** 学习资料链接汇总》一帖。