

SF-EP1C FPGA 开发板介绍

随着制造工艺不断提高、成本不断下降，FPGA 大有替代专用 ASIC 甚至通用处理器之势。对于电子行业，学习一门新技术，手头没有板子，只停留在理论上是很难进一步提高的。而市场上的 FPGA/CPLD 学习板/开发板更是满天飞，板子的价格、质量、乃至提供的资料例程鲜有令人满意的。

就以价格而言，动辄数百乃至过千使得很多学生朋友望而却步。市场上非官方的板子大多功能简单，只是带大家跑跑流水灯、数码管、蜂鸣器，功能强点的能做做 VGA 实验、串口实验或者存储器 SRAM\SDRAM\FLASH 的实验。但是他们配套的资料鲜有高质量的好例程，甚至很多都没有详细的注释，让大家学起来很是费劲。而官方的板子看起来还不错，只可惜咱的腰包都不鼓——买不起。

这个 SF-EP1C 板子，之所以选择 altera 的低成本高性价比 cyclone 系列的 FPGA 作为主芯片，想必大家都意识到了，成本对于大多数朋友是最敏感的。而 EP1C3T144（标准配置，大家也可以使用 EP1C6T144 焊接上去，特权同学在硬件电路设计上做到了二者的完全兼容）虽然只有不到 3000 个 LEs，但是大家如果写起代码来就会深有感触，这个规模的逻辑资源也是可以胜任很多应用的。另外，如果你是个新手，只希望能入门，这块 FPGA 板子也许不适合你；如果你想学 NIOS，那么也可以明白的告诉你，这块板子也不适合你；但是如果你想通过这样一块板子来掌握如何利用 FPGA 器件本身的各种资源来完成一个像模像样的工程，那么你可以尝试一下。

该开发板在 EDN 助学活动期间以低廉的价格提供给所有注册会员，并且赠送免费的 PCB 板。该板子的一切相关问题都可以在 EDN 的 CPLD/FPGA 助学小组（网址：<http://group.ednchina.com/1375/>）里进行讨论。

1. SF-EP1C开发板功能框图

如图1和图2所示，SF-EP1C开发板有着比较丰富的外设，也给用户预留了一些可扩展的接口。

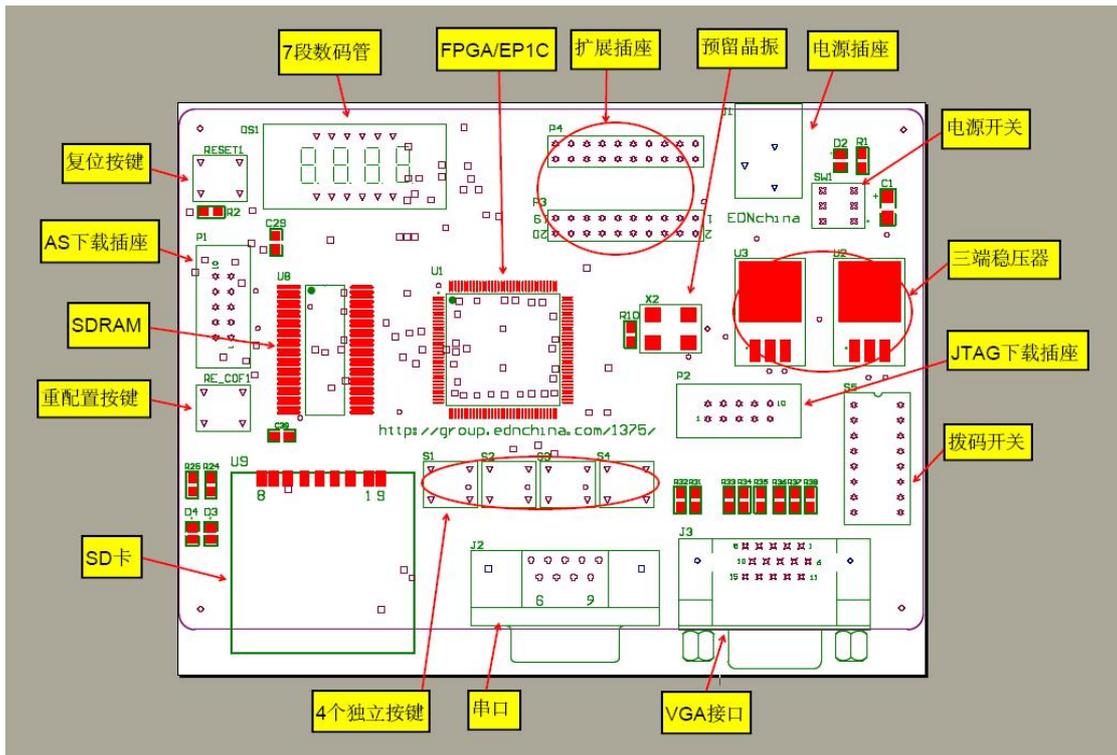


图 1 SF-EP1C 开发板正面资源分布及功能框图

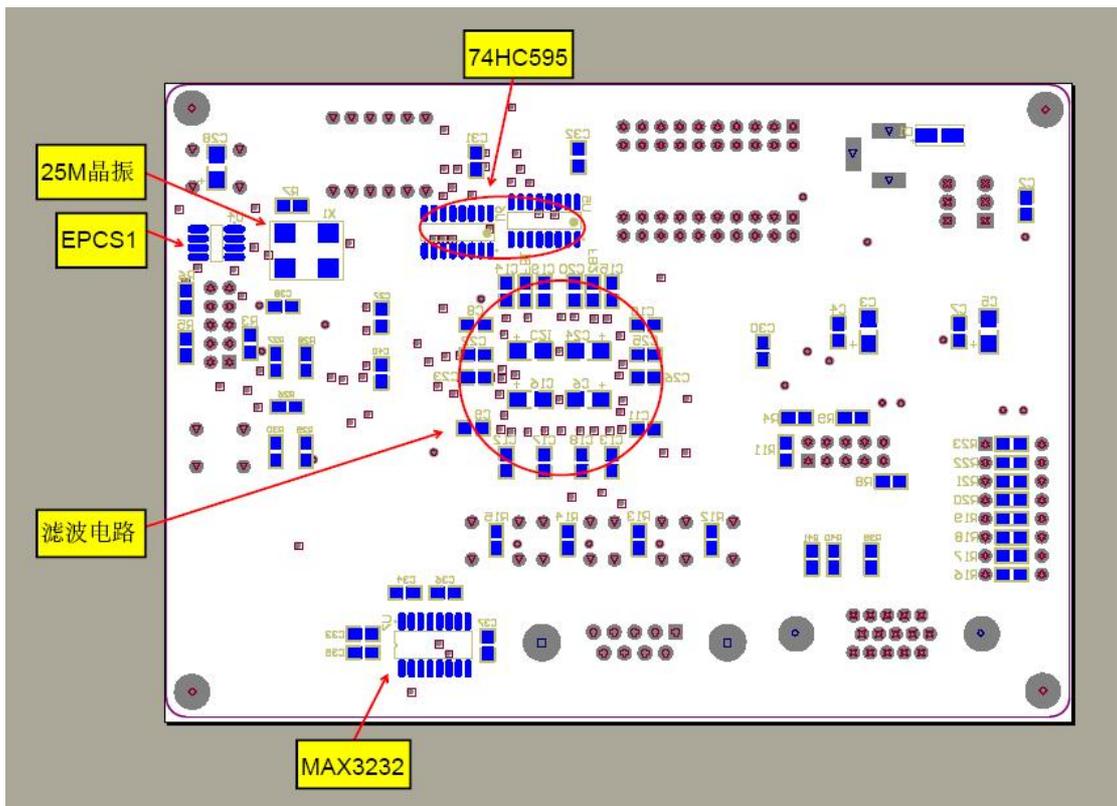


图 2 SF-EP1C 开发板背面资源分布及功能框图

2. SF-EP1C 开发板基本配置

- FPGA 使用 EP1C3T144C8，硬件电路充分考虑了可升级性，该板子同样适

用于 EP1C6T144;

- 板载 1Mbit 串行配置芯片 EPCS1, 支持 AS 和 JTAG 两种配置方式;
- 5V/1.5A DC 电源供电, 内部产生核压 1.5V、I/O 电压 3.3V;
- PLL 电源电路进行滤波处理, 更加稳定可靠;
- 板载 25MHz 有源晶振, 预留 1 个未焊接晶振接口;
- 4 个独立按键、2 个复用 LED;
- 1 个串口;
- 1 个 SD 卡接口;
- 1 个 256 色 VGA 接口;
- 1 个 64MBit(4*1M*256Bit) SDRAM;
- 8 位拨码开关;
- 1 个复位按键和 1 个 FPGA 重配置按键;
- 4 位数码管, 仅使用 3 个 I/O 口控制, 由两个 74HC595 芯片实现;
- 2 个 20PIN 的扩展接口, 供大家任意发挥;

3. Cyclone 器件简介

Altera 的 Cyclone 系列可编程门阵列是基于 1.5V、0.13um 的 SRAM 全铜工艺制造。能提供最大 20060 个 LEs, 以及最大 288Kbit 的内嵌 RAM。FPGA 内部集成的诸如时钟锁相环 (PLLs) 和专用 DDR 接口, 达到了 DDR SDRAM 和快速 RAM 存储访问需求。Cyclone 器件是数据存储的高性价比解决方案。Cyclone 器件也支持多种 I/O 标准, 包括数据率高达 640Mbps 的 LVDS 接口以及 66-或 33-MHz、64-或 32-bit 的 PCI 接口。Altera 也提供低成本的串行配置器件配置 cyclone 器件。

Cyclone 器件具有以下特性:

- 2910-20060 个 LEs;
- 最大内嵌 294912 RAM bits (36864 bytes);
- 支持低成本串行配置器件;
- 支持 LVTTTL, LVCOMS, SSTL-2 以及 SSTL-3 I/O 标准;
- 支持 66-或 33-MHz、64-或 32-bit 的 PCI 接口;
- 支持数据率高达 640Mbps 的 LVDS 接口;
- 支持数据率低至 311Mbps 的 LVDS 接口;
- 支持数据率 311Mbps 的 RSDS 接口;

- 每个器件最多两个 PLLs，并且支持倍频和相位偏移；
- 多达 8 个全局时钟网络；
- 支持外部存储器，包括 DDR SDRAM(133MHz)、FCRAM 以及 SDR SDRAM；
- 支持 altera 提供的多种多样的 IP 核。

表 1 Cyclone 器件资源

器件	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
Les	2,910	4,000	5,980	12,060	20,060
M4K RAM 块 (128*36bit)	13	17	20	52	64
RAM 总量	59,904	78,336	92,160	239,616	294,912
PLLs	1	2	2	2	2
用户可用 IO 数	104	301	185	249	301

4. SF-EP1C 开发板实验例程

- 1. AS 和 JTAG 配置方式；
- 2. 基于 74HC595 的数码管实验；
- 3. PLL 配置仿真实验；
- 4. 基于 FIFO 的串口发送机设计；
- 5. 256 色 VGA 显示实验；
- 6. VGA 字符显示实验；
- 8. 基于 M4K 块的单口 RAM 配置仿真实验；
- 9. 基于 M4K 块的移位寄存器配置仿真实验；
- 10. 基于 M4K 块配置 ROM 的字符数据存储 VGA 显示实验；
- 11. 基于 SDRAM 读写的串口调试实验；
- 12. DIY 逻辑分析仪；
- 13. DIY 数码相框。

5. SF-EP1C 开发板套件

- SF-EP1C 开发板一块
- USB Blaster 下载线一条
- DC 5V/1A 电源一个

- 配套光盘一张

6. SF-EP1C 开发板配套光盘和例程截图

如图 3 和图 4 所示，配套光盘提供所有实验例程以及详细使用说明文档、开发板原理图、大量 Quartus II 的时序分析相关文档、开发板相关芯片的 datasheet、大量开发板设计参考原理图、altera 官方培训中文视频教程等。

如图 5 所示，开发板的实验例程均付有详细的注释和说明，便于学习。



图 3 SF-EP1C 开发板配套光盘文件夹截图



图 4 SF-EP1C 开发板配套光盘文档说明截图

```

1 input sdram_wr_ack; //系统写SDRAM响应信号,作为wrFIFO的输入有效信号
2 input[15:0] wrf_din; //sdram数据写入缓存FIFO输入数据总线
3 output sdram_wr_req; //系统写SDRAM请求信号
4 output[15:0] sys_data_in; //sdram数据写入缓存FIFO输出数据总线,即写SDRAM时数据寄存器
5 output[21:0] sys_wraddr; //写SDRAM时地址寄存器,(bit21-20)L-Bank地址:(bit19-8)为行地址,(bit7-0)为列地址
6
7 //rdfifo
8 input rdf_rdfreq; //sdram数据读出缓存FIFO数据输出请求,高有效
9 input sdram_rd_ack; //系统读SDRAM响应信号,作为rdfIFO的输入有效信号
10 input[15:0] sys_data_out; //sdram数据读出缓存FIFO输入数据总线
11 output sdram_rd_req; //系统读SDRAM请求信号
12 output[21:0] sys_rdaddr; //读SDRAM时地址寄存器,(bit21-20)L-Bank地址:(bit19-8)为行地址,(bit7-0)为列地址
13
14 //vga control
15 input vga_valid; //高有效,用于使能SDRAM读数据单元进行寻址或地址清零
16 output[7:0] dis_data; //VGA显示数据
17
18 input sdwrack_clr; //SDRAM写控制相关信号清零复位信号,高有效
19
20 //-----
21 //读写sdram请求信号产生
22 wire[8:0] wrf_use; //sdram数据写入缓存FIFO已用存储空间数量
23 wire[8:0] rdf_use; //sdram数据读出缓存FIFO已用存储空间数量
24
25 reg vga_validr; //将50MHz时钟的vga_valid打一拍以同步到100MHz的vga_valid
26 always @(posedge clk_100m or negedge rst_n)
27 if(!rst_n) vga_validr <= 1'b0;
28 else vga_validr <= vga_valid;
29
30 assign sdram_wr_req = (wrf_use >= 9'd256); //FIFO(256个16bit数据)即发出写SDRAM请求信号
31 assign sdram_rd_req = (rdf_use < 9'd480) & vga_validr; //VGA显示有效且FIFO半空(256个16bit数据)即发出读SDRAM请求信号
32
33 //-----
34 //sdram读写响应完成标志捕获
35 reg sdrackr1,sdrackr2; //sdram_wr_ack寄存器
36 reg sdrackr1,sdrackr2; //sdram_rd_ack寄存器
37
38 //锁存两拍sdram_wr_ack,用于下降沿捕获
39 always @(posedge clk_100m or negedge rst_n)
40 if(!rst_n) begin

```

图 5 代码注释截图

注：所有实验文档说明已经都包含在《SF-EP1CV2 使用说明.pdf》文档中。

7. 实物展示图片

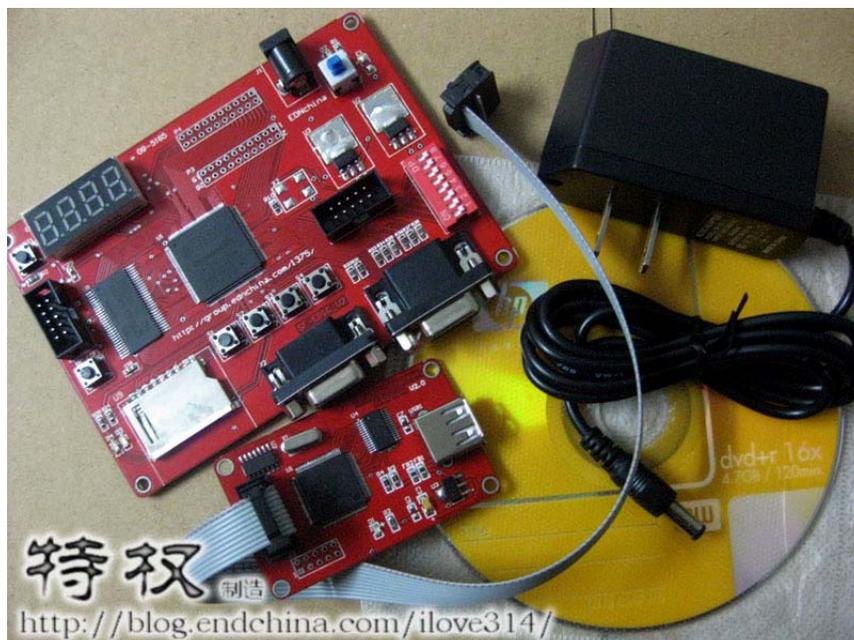


图 6 RMB220 开发板套件



图 8 开发板 DIY 工程效果图

欲购买此板请访问：

<http://group.ednchina.com/1375/27650.aspx>