

明德扬时序练习 7

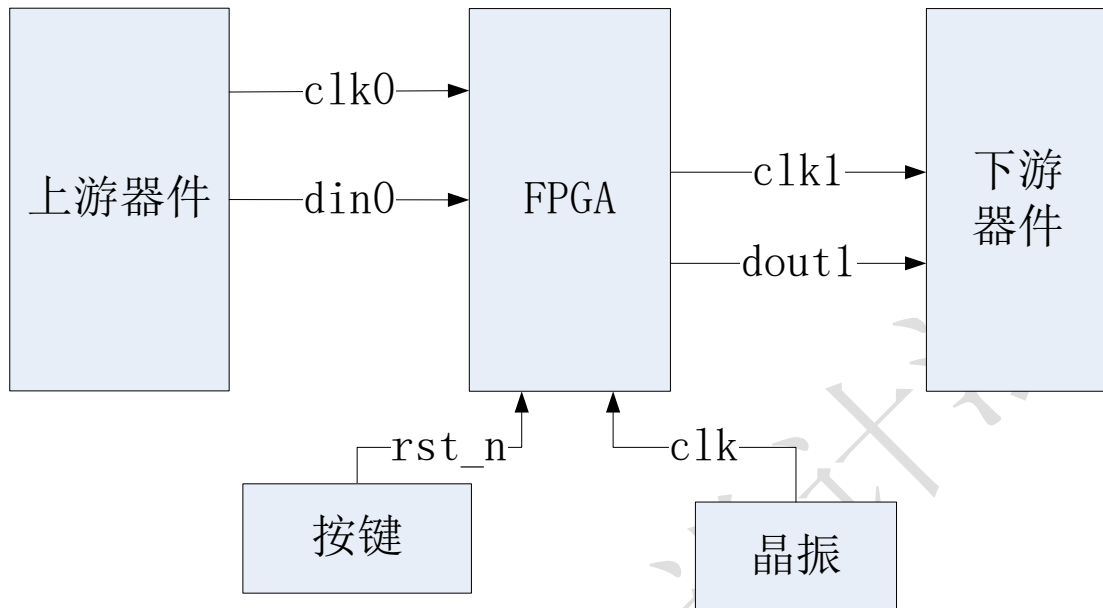
明德扬科技教育有限公司

官 网： www.mdy-edu.com

淘 宝： mdy-edu.taobao.com

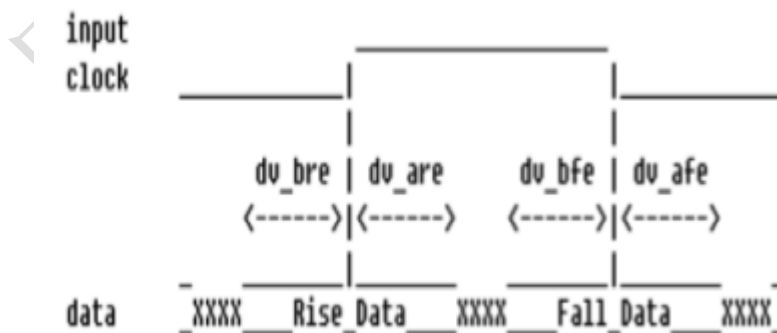
QQ 群： 97925396

1 工程介绍



本练习提供以下几个信息供参考

1. 所有按键按下时，会有毛刺，毛刺最小为 1ns 时间。
2. clk 的时钟由晶振产生，频率为 100MHz。
3. 上游器件的 din0 是同步于 clk0 的信号，并且是双沿有效的信号。用示波器测量时钟和信号的延时，测量方法如下：

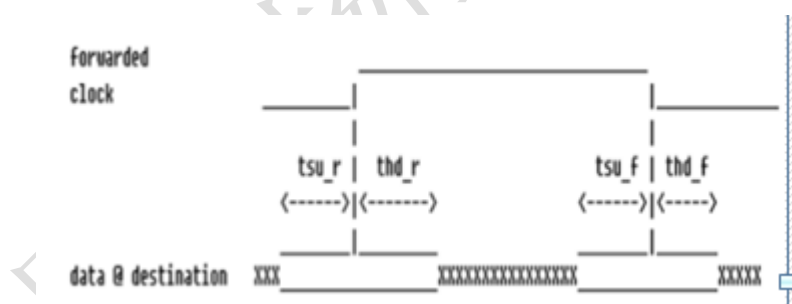


上图中的 SRCCLK 是 FPGA 输入的 clk0 管脚，DIN 则为 din0 和 din0_vld 的线，这些线都分别测量，得出 DV(BEFORE)和 DV(AFTER)的值，测量结果如下。

clk0 的时钟是 50.1MHz。

信号名	dv_bre	dv_are	dv_bfe	dv_afe
din0[0]	3.39	5.59	3.71	5.19
din0[1]	3.4	5.61	3.72	5.18
din0[2]	3.42	5.62	3.7	5.7
din0[3]	3.41	5.61	3.7	5.18
din0[4]	3.41	5.6	3.7	5.21
din0[5]	3.39	5.59	3.69	5.22
din0[6]	3.39	5.62	3.68	5.2
din0[7]	3.38	5.61	3.69	5.2
din0_vld	3.39	5.6	3.68	5.21

4. FPGA 产生 clk1 和 dout1 给下游器件，clk1 的时钟是 100M。下游的器件使用 clk1 的上升沿和下降沿采集 dout1 的数据。其时序参数要求下如：



Tsu_r 为 0.79ns

Thd_r 为 0.31ns

Tsu_f 为 0.7ns

Thd_f 为 0.41ns

2 练习要求

1. 添加时序约束，保证所有 IO 都约束上，所有路径都约束。
2. 解决时序约束的所有错误。
3. 提示，请仔细分析上/下游器件是属于哪种情况，怎么做才能满足其要求。

明德扬全简设计法