

时序练习 2 说明

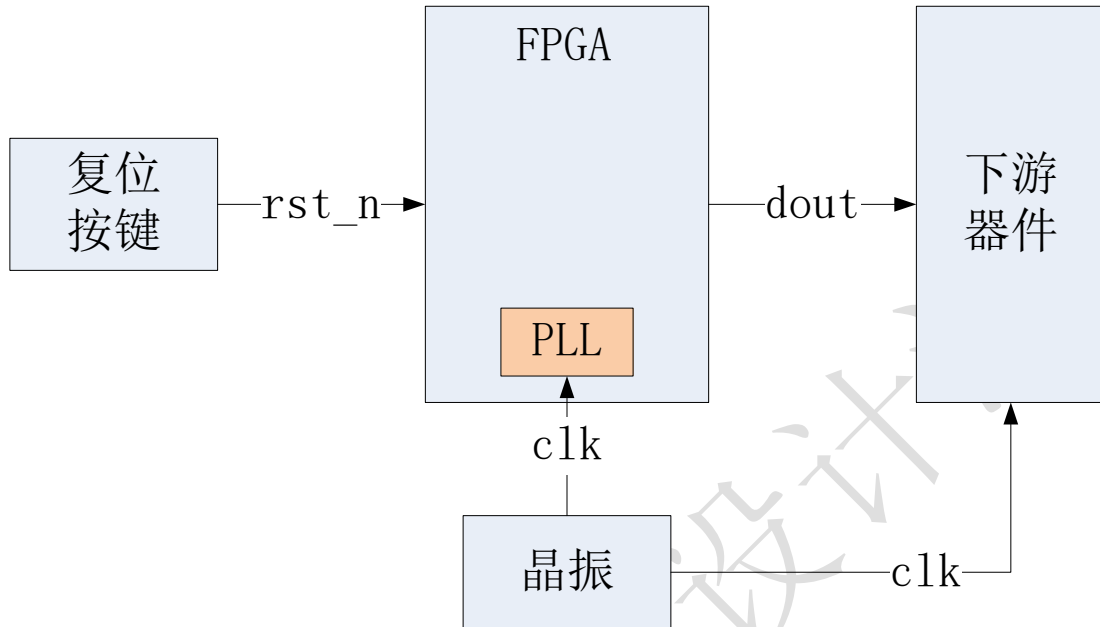
明德扬科技教育有限公司

官 网：www.mdy-edu.com

淘 宝：mdy-edu.taobao.com

QQ 群：97925396

1 工程介绍



本练习提供以下几个信息供参考

1. 复位按键按下时，会有毛刺，毛刺最小为 1ns 时间。
2. FPGA 和下游器件都共用一个 CLK，并做到了系统同步。CLK 的时钟为 50MHz。
3. FPGA 内部有一个 PLL，输入时钟是 CLK，50M，输出时钟是 100M。
4. 下游器件的时序参数如下：

<u>TRACE DELAY</u>
$T_{TRACE(max)} = .5ns$
$T_{TRACE(min)} = .3ns$

<u>DEST DEVICE</u>
$T_{SU} = 2ns$
$T_H = 1ns$

2 练习要求

1. 添加时序约束，保证所有 IO 都约束上，所有路径都约束。
2. 解决时序约束的所有错误。

明德扬至简设计法